



UNIVERSIDADE FEDERAL DE SANTA CATARINA - UFSC
CENTRO TECNOLÓGICO - CTC
DEPARTAMENTO DE ENGENHARIA ELÉTRICA - EEL
CAMPUS UNIVERSITÁRIO - TRINDADE - CEP 88040-900
FLORIANÓPOLIS - SANTA CATARINA

UTILIZAÇÃO DO TRANSISTOR MOS COMO ELEMENTO DE FILTRO RC DISTRIBUÍDO

Monografia submetida à
Universidade Federal de Santa Catarina
como parte dos requisitos para a aprovação da disciplina
EEL7890: Projeto Final

ACADÊMICO: ANDRÉ DA SILVA ORLANDI

ORIENTADOR: MÁRCIO CHEREM SCHNEIDER, DR.

Florianópolis, Fevereiro de 2011

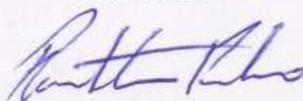
UTILIZAÇÃO DO TRANSISTOR MOS COMO ELEMENTO DE FILTRO RC DISTRIBUÍDO

ANDRÉ DA SILVA ORLANDI

Esta Monografia foi julgada no contexto da disciplina
EEL7890: Projeto Final
e aprovada na sua forma final pelo
Curso de Engenharia Elétrica



Márcio Cherem Schneider, Dr.
Orientador

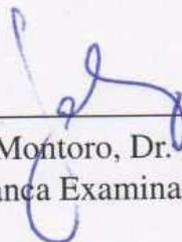


Renato Lucas Pacheco, Dr.
Coordenador do Curso de Engenharia Elétrica

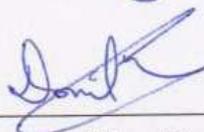
Banca Examinadora:



Márcio Cherem Schneider, Dr.
Orientador



Carlos Galup Montoro, Dr. Ing.
Membro da Banca Examinadora



Daniel Eduardo Silva Piovani, M.Sc.
Membro da Banca Examinadora

AGRADECIMENTOS

Agradeço primeiramente aos meus pais pela oportunidade que me deram de realizar este curso. Em segundo, e não menos importante, o apoio e carinho da minha namorada Angieli, fundamental nos momentos difíceis desta trajetória.

Agradeço também aos professores, amigos e colegas que de forma direta ou indireta contribuíram para o meu crescimento pessoal e intelectual.

Resumo da Monografia apresentada à UFSC como parte dos requisitos necessários para aprovação na disciplina **EEL7890: Projeto Final**.

UTILIZAÇÃO DO TRANSISTOR MOS COMO ELEMENTO DE FILTRO RC DISTRIBUÍDO

André da Silva Orlandi

Fevereiro / 2011

Orientador: Márcio Cherem Schneider, Dr..

Área de Concentração: Circuitos e Sistemas Integrados.

Palavras-chave: Transistor MOS, filtros, rede RC Distribuída.

Número de Páginas: 59

Este trabalho apresenta um estudo do transistor MOS como uma rede RC distribuída. O objetivo é utilizar o elemento distribuído na implementação de um filtro passa-baixas integrado, com frequência de corte ajustável por polarização. Duas estruturas de teste foram enviadas para fabricação, com a finalidade de obtermos resultados experimentais deste estudo. Cada uma delas possui dois transistores iguais, sendo um utilizado como filtro, e outro para fornecer a polarização.

Neste trabalho pretendemos não apenas explorar a utilização do transistor como filtro, mas também utilizar circuitos de polarização baseados na denominada corrente específica. Para isso, foi feito um estudo do modelo ACM, desenvolvido no LCI. Esse modelo possui características bastante convenientes ao projeto do filtro proposto.

Abstract of Monograph presented to UFSC as a partial fulfillment of the requirements for the approval on course **EEL7890: Projeto Final**.

USE OF THE MOS TRANSISTOR AS A DISTRIBUTED RC FILTER ELEMENT

André da Silva Orlandi

Fev / 2011

Advisor: Márcio Cherem Schneider, Dr..

Area of Concentration: Integrated Circuits and Systems.

Keywords: MOSFET transistor, filters, Distributed RC line.

Number of pages: 59

This work presents a study of the MOS transistor as a distributed RC transmission line. The objective is to use this effect in an integrated lowpass filter, with frequency adjusted by bias. Two test structures were sent for fabrication. Each one of them has two equal transistors, one of them is used as a filter while the other one provide the bias.

The purpose of this work is not only to explore the use of MOS transistor as filter, but also use bias circuits based on the transistor specific current. To this end we studied the ACM modem, developed at Integrated Circuits Laboratory. This model has characteristics really convenient to the filter analyzed here.

SUMÁRIO

LISTA DE FIGURAS	vi
LISTA DE SIGLAS E ABREVIATURAS	viii
LISTA DE SÍMBOLOS	ix
1 INTRODUÇÃO	1
1.1 Conceitos Gerais sobre Filtros Analógicos	1
1.2 Rede Resistor-Capacitor Uniformemente Distribuída	2
1.3 O Transistor MOS como Elemento de Filtro	4
2 O TRANSISTOR MOS	7
2.1 O Capacitor MOS	8
2.2 Estrutura MOS com Três Terminais	10
2.3 MOS de Quatro Terminais	12
2.4 O Modelo ACM	13
3 O TRANSISTOR COMO LINHA RC DISTRIBUÍDA	15
3.1 Descrição Matemática da linha RC	16
3.2 Método de Análise	18
3.3 A Constante RC do Transistor	20
3.4 Ruído no Transistor	26
3.5 Linearidade	27
3.6 Simulação	30
4 RESULTADOS PRÁTICOS	35

4.1	Especificações	36
4.2	Circuito Inicialmente Proposto	36
4.3	Dimensionamento dos Transistores	38
4.4	Layout do Circuito Integrado	38
4.5	Problemas com o Amplificador Operacional	40
4.6	Medição com o Analisador de Espectro	43
5	CONSIDERAÇÕES FINAIS	48
	Referências	50
	Apêndice A – Dedução da Matriz Admitância do MOSFET	52
	Apêndice B – Extração dos Parâmetros I_{SQ} e n	54
	B.1 Extração de I_S	54
	B.2 Extração de n	55
	Apêndice C – Detalhes do layout	57

LISTA DE FIGURAS

1	(a) Estrutura física de uma rede URC, (b) Símbolo utilizado para representar uma linha RC distribuída.	3
2	Filtro implementado através de uma rede URC com realimentação.	4
3	Circuito utilizado em [??] para avaliar a resposta em frequência do transistor.	5
4	Estrutura física do transistor MOS.	7
5	Perfil do potencial elétrico no capacitor MOS.	9
6	Modelo de pequenos sinais do capacitor MOS.	10
7	Capacitor MOS contendo uma região $n+$ para acesso ao canal.	10
8	Modelo de pequenos sinais para o dispositivo MOS de três terminais.	11
9	Esquema utilizado no estudo do transistor como linha de transmissão RC.	15
10	Representação dos efeitos resistivo e capacitivo do transistor.	16
11	Representação do transistor como uma linha RC distribuída.	17
12	Esquema geral de utilização do transistor MOS como filtro URC.	18
13	Comparação entre filtro passa-baixas RC de 1ª ordem e duas formas do filtro URC-MOSFET.	20
14	Circuito de pequenos sinais para o transistor MOS, válido em baixas frequências.	21
15	Capacitâncias do transistor em função do nível de inversão do canal ($V_{DS} = 0$).	23
16	Resistência do canal em função de $i_f @ V_{DS} = 0$, para um transistor com dimensões $W = 200 \mu m$ e $L = 120 \mu m$	24
17	Variação da frequência de corte para um transistor de canal p , com diferentes valores de L	25
18	Curvas $I_D/I_{Fmax} \times V_{DS}$ para alguns valores de i_f	28
19	Técnica de seccionamento utilizada para simular a característica distribuída do transistor MOS.	31
20	Simulação da resposta em frequência de um transistor de canal p (com canal em m seções) com $W = 200 \mu m$ e comprimento total $L = 120 \mu m$, com $i_f = 1000$	32

21	Simulação com os mesmos parâmetros da apresentada na Figura 20, porém anulando os valores das capacitâncias extrínsecas no modelo do transistor.	33
22	Frequência de corte do transistor em função do nível de inversão para um transistor com dimensões $W = 200 \mu m$ e $L = 120 \mu m$	34
23	Circuito inicialmente proposto para avaliação da resposta em frequência do transistor.	35
24	Variação da tensão V_{CM} em função do nível de inversão.	37
25	Esquema elétrico do circuito integrado projetado.	39
26	Layout dos dois blocos inseridos no <i>pad ring</i>	40
27	Esquema utilizado para caracterizar a resposta em frequência do amplificador operacional OPA2350.	41
28	Medidas experimentais da resposta em frequência do amplificador inversor da Figura 27, para diferentes valores de R_F ($R_F = R_{URC}$).	42
29	Utilização de um analisador de espectro para avaliação da resposta em frequência do transistor.	44
30	Modelo do circuito de medição utilizado para encontrar a mínima tensão de excitação do transistor.	46
31	Curvas de magnitude vs frequência para alguns valores de i_f	47
32	Comparação entre filtro MOSFET-URC e um filtro RC de primeira ordem, com frequências de $-3 dB$ iguais.	48
33	Circuito utilizado para extrair a corrente específica e a tensão de limiar do transistor de canal p	54
34	Curvas de I_D e g_m/I_D em função de V_G extraídas a partir do simulador.	55
35	Circuito utilizado para extrair o fator de inclinação.	56
36	Variação de n em função de V_G	56
37	Detalhe do bloco composto pelos dois transistores sem particionamento.	57
38	Detalhe do bloco composto pelos dois transistores com particionamento.	58

LISTA DE SIGLAS E ABREVIATURAS

<i>SMD</i>	Surface Mount Devices.
AC	Corrente alternada.
ACM	Advanced Compact MOSFET.
AmpOp	Amplificador Operacional.
BSIM3	Berkeley Short-Channel IGFET Model 3.
CI	Circuito Integrado.
CMOS	Complementary Metal Oxide Semiconductor.
DC	Corrente contínua.
LCI	Laboratório de Circuitos Integrados.
MOS	Metal Oxide Semiconductor.
MOSFET-C	Metal Oxide Semiconductor Field Effect Transistor- Capacitor.
MOSFET-URC	Metal Oxide Semiconductor Field Effect Transistor - Uniform Resistor-Capacitor.
OTA	Operational Transconductance Amplifier.
OTA-C	Operational Transconductance Amplifier-Capacitor.
RC	Resistor-Capacitor.
SC	Switched Capacitor.
UCCM	Unified Charge-Control Model.
UICM	Unified Current-Control model.
URC	Uniform Resistor-Capacitor.
VLSI	Very Large Scale Integration.

LISTA DE SÍMBOLOS

f_s , Frequência de amostragem

r , Resistência por unidade de comprimento

c , Capacitância por unidade de comprimento

V_G , Tensão de porta em relação ao substrato

Q_G , Carga na porta

C_{ox} , Capacitância do óxido

Q'_G , Carga na porta por unidade de área

C'_{ox} , Capacitância do óxido por unidade de área

Q_C , Carga no semicondutor

φ_{ox} , Queda de potencial no óxido

φ_s , Potencial de superfície

V_{FB} , Tensão de banda plana

Q'_C , Carga no semicondutor por unidade de área

C'_c , Capacitância por unidade de área associada ao semicondutor

C'_{ox} , Capacitância por unidade de área do óxido

C'_b , Capacitância por unidade de área associada aos portadores majoritários

C'_i , Capacitância por unidade de área associada aos portadores minoritários

V_C , Tensão do canal em relação ao substrato

Q'_I , Densidade de carga de inversão

ϕ_t , Tensão térmica

ϕ_t , Tensão término

n , Fator de inclinação

V_D , Tensão de dreno em relação ao substrato

Q'_{ID} , Densidade de carga na região de dreno

Q'_{IS} , densidade de carga na região de fonte

I_D , Corrente de dreno

I_F , Corrente direta

I_R , Corrente reversa

Q'_{IP} , Densidade de carga no canal para a condição de pinch-off

V_{TH0} , Tensão de limiar para tensão fonte-corpo nula

V_{GS} , Tensão entre porta e fonte

$q'_{IS(D)}$, Densidade de carga normalizada na região de fonte(dreno)

i_f , Nível de inversão direto

i_r , Nível de inversão reverso

I_S , Corrente específica

I_{SQ} , Corrente específica para uma transistor quadrado

I_{SQ} , Corrente específica

V_{DS} , Tensão entre dreno e fonte

R , Resistência entre fonte e dreno

C , Capacitância equivalente vista pelo canal

C_{big} , Capacitor de desacoplamento

f_c , Frequência de corte

C_{gs} , Capacitância entre porta e fonte

C_{gd} , Capacitância entre porta e dreno

C_{bs} , Capacitância entre corpo e fonte

C_{bd} , Capacitância entre corpo e dreno

C_{gb} , Capacitância entre porta e corpo

α , Constante de saturação

Q'_F , Densidade de carga direta

Q'_R , Densidade de carga reversa

V_S , Tensão no terminal de fonte

V_{GS} , Tensão entre porta e fonte

Q_I , Carga de inversão

k , Constante de Boltzmann

T , Temperatura

S , Densidade espectral de ruído

q , Carga do elétron

I_{Fmax} , Corrente direta máxima da região de saturação

V_{GD} , Tensão entre porta e dreno

v_{in} , Tensão de entrada do filtro

V_{CM} , Tensão de referência

I_{SX} , Corrente de referência

R_F , Resistor de realimentação

R_{URC} , Resistor de entrada no amplificador inversor

C_{in-} , Capacitância vista da entrada inversora do amplificador operacional

K , Ganho em malha aberto do amplificador operacional

C_{Rpar} , Capacitância parasita do resistor

C_{eq} , Capacitância parasita da placa e soquete

v_{rms} , Ruído eficaz em tensão

Δf_b , Largura de banda utilizada na medição

1 INTRODUÇÃO

Com a rápida expansão da velocidade de processamento dos computadores, os filtros analógicos contínuos vêm perdendo espaço para os digitais em determinadas áreas da engenharia. No entanto, ainda são extremamente importantes na implementação de um considerável número de circuitos analógicos integrados.

Os filtros digitais são muito utilizados em processamento de sinais devido a algumas vantagens. Entre elas podemos citar a grande seletividade, a possibilidade de rápida alteração dos parâmetros do filtro, a fácil reprodutibilidade em qualquer processador digital, etc. Entretanto, o mundo em que vivemos é totalmente analógico. Assim, torna-se evidente que para aproveitarmos todos os recursos que o processamento digital oferece, é necessário convertermos as informações em formato analógico para digital. Nessa etapa do processo faz-se necessário o uso de blocos analógicos para tornar possível essa conversão.

Um exemplo muito comum a ser citado é o filtro de anti-recobrimento de um conversor analógico-digital. Quando um sinal sofre o processo de amostragem, o espectro do sinal resultante é composto por uma soma de espectros do sinal contínuo deslocados de $m \cdot f_s$, onde m é um número inteiro e f_s é a frequência de amostragem [1]. Dada uma frequência de amostragem, o espectro do sinal contínuo não deve conter componentes maiores que $f_s/2$ para que não haja sobreposição espectral, e conseqüentemente distorção do sinal amostrado.

1.1 Conceitos Gerais sobre Filtros Analógicos

As técnicas de filtragem contínua mais empregadas em circuitos CMOS são a MOSFET-C e OTA-C [2]. A primeira utiliza amplificadores operacionais, capacitores e transistores operando na região linear. Este método de implementação de filtros ativos surgiu com a necessidade de maior precisão nas constantes de tempo, devido à grande variabilidade dos resistores integrados. O papel do transistor MOS é simular um resistor, o qual pode ter a sua resistência controlada através das suas dimensões e da polarização. Uma das desvantagens é a distorção provocada pela não linearidade do transistor.

Os filtros OTA-C, por sua vez, são constituídos de amplificadores operacionais de transcondutância e capacitores, podendo operar em frequências maiores do que o MOSFET-C [2]. A sintonia do filtro pode ser ajustada pela transcondutância do dispositivo ativo. No entanto, este circuito também possui problemas quanto à linearidade, que está presente no OTA.

Além das técnicas mencionadas, existe também a filtragem a capacitor chaveado (SC). Nela o resistor é substituído por um arranjo de chaves controlando a carga e descarga de um capacitor. As chaves são controladas através de um sinal de clock proveniente de um outro circuito. O efeito resultante é uma corrente média através do circuito proporcional à frequência de chaveamento [1]. Através dessa estrutura é possível obter filtros com características bastante precisas, visto que a associação desta estrutura com um outro capacitor resulta em uma constante de tempo proporcional à razão entre os capacitores. Devido ao processamento da corrente ser efetuado a cada período de clock, o sinal na saída do filtro é discreto no tempo.

Todas as formas de implementação de filtros analógicos discutidas anteriormente possuem vantagens com relação aos filtros ativos RC. Entretanto, todas elas requerem o uso de capacitores para serem implementadas. Em circuitos integrados, estes elementos possuem relativa imprecisão no seu valor, mesmo tomando-se os devidos cuidados na confecção do leiaute. Além disso, a utilização de blocos relativamente complexos, como amplificadores operacionais, limita a aplicação destes filtros a baixas e médias frequências de operação. Normalmente estes elementos são projetados para ter a resposta em frequência do tipo passa baixas, necessária para evitar instabilidade. Outro fator que pode contribuir com essa limitação é o número relativamente elevado de transistores em cascata. As suas capacitâncias intrínsecas ajudam a deteriorar o ganho do elemento em altas frequências.

Em tecnologias VLSI, dedicadas a circuitos digitais, a utilização de capacitores geralmente é evitada devido aos motivos citados anteriormente. Dessa forma, seria interessante para os projetistas de circuitos integrados terem disponível outra forma de construir filtros e outros blocos sem a utilização de capacitores. Uma solução para esse problema seria aproveitar as capacitâncias intrínsecas do transistor MOS, citadas anteriormente, de forma controlada para que se obtenha o efeito desejado.

1.2 Rede Resistor-Capacitor Uniformemente Distribuída

Desde o início da década de 60 diversos estudos tem sido realizados sobre as redes resistor-capacitor uniformemente distribuídas ((URC)), com aplicação em filtragem de sinais [3]. A princípio, as pesquisas eram feitas com base nos dispositivos que podiam ser fabricados na época. Estes eram geralmente compostos por dois filmes finos de diferentes materiais depositados ou crescidos sobre determinado substrato [4]. A estrutura utilizada no início era composta por uma camada de metal, um isolante e uma camada resistiva, como mostra a Figura 1(a). Obviamente o efeito resistivo da rede estava associado à camada resistiva, e o efeito capacitivo às duas camadas intercaladas por um isolante. A Figura 1(b) mostra o símbolo utilizado

para representar a rede URC.

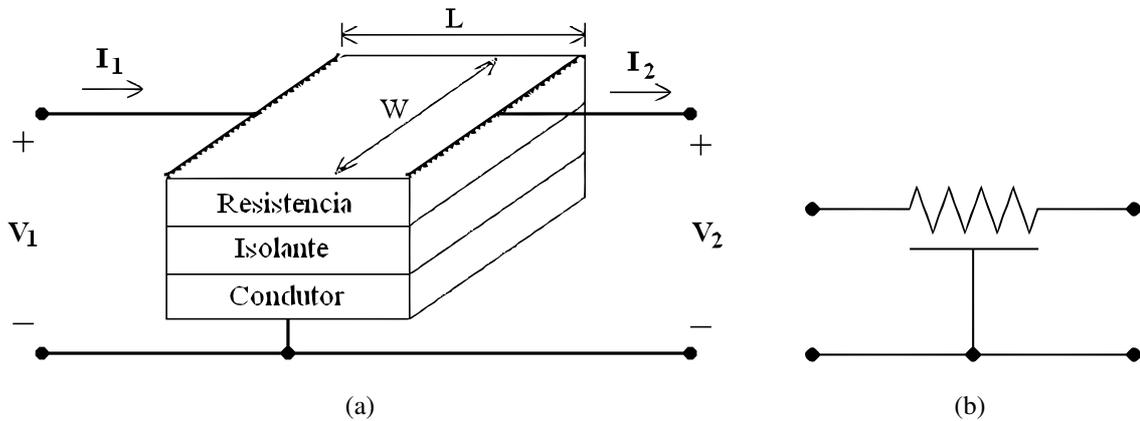


Figura 1: (a) Estrutura física de uma rede URC, (b) Símbolo utilizado para representar uma linha RC distribuída.

Diversos trabalhos apresentam a modelagem deste elemento como uma linha de transmissão, porém considerando o efeito indutivo desprezível [3]. Intuitivamente, é esperada uma característica de filtragem passa-baixa para o quadripolo da Figura 1, devido à semelhança da rede com um simples circuito RC. Em circuitos integrados digitais é comum estudar-se as redes RC distribuídas devido ao atraso que elas provocam na propagação dos sinais. Esse efeito advém de linhas de metal relativamente longas, sendo que o efeito capacitivo está associado entre linhas de diferentes níveis de metal, ou ao substrato.

A maneira habitual de estudar esse dispositivo é relacionar as correntes com as tensões através da matriz admitância. Considerando r e c como sendo a resistência e capacitância por unidade de comprimento respectivamente, escrevemos as equações diferenciais da rede e resolvemos para as condições de contorno pertinentes. Um fato que introduz certa dificuldade na análise das redes URC é que elas não apresentam uma função de transferência racional em s . Na realidade, a matriz admitância é constituída de funções hiperbólicas, com a variável s dentro de uma raiz quadrada. Desse modo, alguns autores, como O'Shea [5], utilizaram a transformação de variáveis para fazer a análise em frequência. Outro autor [6] propõe a realização de funções de transferência racionais em s a partir de redes RC não uniformes.

O trabalho apresentado por Wyndrum [7] introduz o conceito de realimentação aplicado às redes RC distribuídas para a implementação de filtros-passa baixa, com possibilidade de ajuste da característica de ganho. O circuito em questão é apresentado na Figura 2, onde o fator k é o ganho do amplificador. Com a inserção de uma realimentação com ganho, torna-se possível controlar os polos dominantes do circuito e, conseqüentemente, o ganho máximo na banda de passagem. Neste caso o terminal comum à entrada e saída, mostrado na Figura 1, é conectado à saída do amplificador ao invés do terra, aumentando a complexidade no equacionamento da

rede. Wyndrum também mostra que ao adicionar uma resistência entre a saída do amplificador e o terminal capacitivo da rede URC, o circuito torna-se um rejeita-faixa.

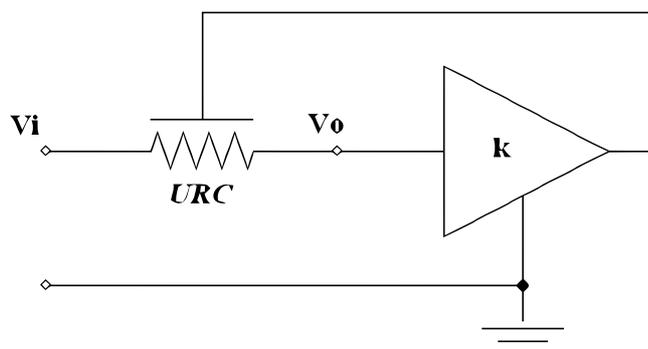


Figura 2: Filtro implementado através de uma rede URC com realimentação.

1.3 O Transistor MOS como Elemento de Filtro

Um pesquisador pioneiro no estudo do transistor MOS como filtro foi Yannis Tsvividis. Até então, todos os trabalhos que tratavam de elementos URC e afins, não abordavam o uso do efeito distribuído da capacitância do MOS. Em um de seus artigos [8] ele faz uma simples análise da resposta em frequência de um transistor, utilizando como variável de entrada a tensão na fonte e, como de saída, a tensão no dreno. O circuito em questão pode ser visto na Figura 3. Neste esquema o transistor M1 tem a sua resposta em frequência analisada, enquanto M2 e M3 constituem um seguidor de tensão. O transistor M3 funciona como uma fonte de corrente controlada pela tensão V_{bias} , mantendo a corrente em M2 constante. Dessa forma, a tensão V_o deve seguir a tensão de porta de M2 a fim de manter o equilíbrio. Também é apresentada uma expressão para a constante de tempo do transistor em função da polarização. Através de simulações Tsvividis determina a faixa de variação da tensão V_G , necessária para compensar a variabilidade da frequência de corte devido à variabilidade dos processos de fabricação.

Em outro trabalho [9] ele utiliza a realimentação proposta por Wyndrum e implementa um filtro passa-baixas com apenas quatro transistores. Um deles é utilizado como rede URC e os outros destinam-se a polarizar e fornecer ganho ao circuito. O autor apresenta os resultados de medidas realizadas com diferentes valores da tensão entre porta e fonte. Observa-se que para uma excursão de 1,5 V da tensão de porta, a frequência de corte varia aproximadamente de 800 kHz até 13 MHz. A tecnologia utilizada foi 1.5 μm da AT&T Bell Laboratories.

Além de Tsvividis, diversos pesquisadores apresentaram trabalhos baseados na ideia de Wyndrum. Barranco, Seaberg e Angulo [10] apresentaram topologias de filtros passa baixa e passa faixa contendo três elementos URC cada um. Eles também utilizaram técnicas para

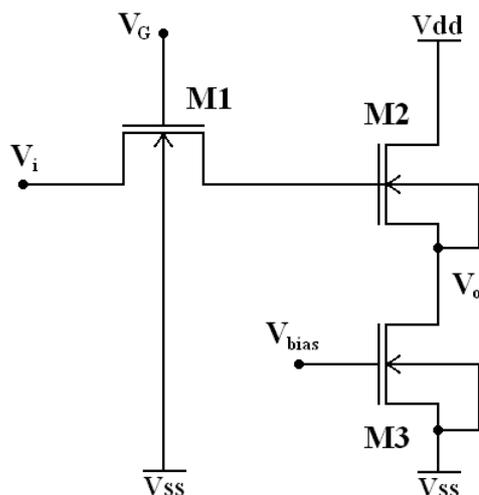


Figura 3: Circuito utilizado em [8] para avaliar a resposta em frequência do transistor.

compensar a não linearidade do transistor. Outro autor [11] implementa um filtro rejeita-faixa com frequência de zero controlada linearmente por uma tensão. Ao introduzir esse elemento em uma malha com realimentação negativa, obtém-se um filtro passa-faixa com o ganho na banda de passagem controlado por tensão.

Foi interessante notar nos trabalhos pesquisados que a complexidade dos filtros MOSFET-URC aumentou ao longo do tempo. No entanto, utilizando adequadamente apenas um transistor é possível obter uma característica passa-baixas com atenuação significativa na banda de rejeição. Vários artigos propõem técnicas para aumentar a linearidade, ajustar a frequência de corte, etc, porém em certas aplicações seria interessante minimizar o número de componentes. Outro ponto a ser citado é que todas as referências consultadas utilizam o transistor em inversão forte como rede URC, provavelmente em função das limitações impostas pelo modelo que utilizaram. Isso limita em grande parte a aplicação do dispositivo em baixas frequências.

Para realizar o estudo do transistor MOS através de elementos distribuídos é necessário um modelo eficiente do dispositivo, caracterizando o seu comportamento sob diferentes condições. Diversos modelos utilizam diferentes conjuntos de equações para representar o comportamento do transistor sob determinadas condições de excitação. Um modelo muito utilizado na indústria de semicondutores é o BSIM3. Este modelo deriva de seus antecessores BSIM 1 e 2, e foi desenvolvido na Universidade da Califórnia, Berkeley. Ele possui mais de cem parâmetros, muitos dos quais extraídos experimentalmente [12]. Sua utilização é efetuada somente através de simuladores devido à complexidade do modelo.

Como proposta deste trabalho, será utilizado o modelo ACM (Advanced Compact MOSFET) desenvolvido no LCI (Laboratório de Circuitos Integrados) para realizar o estudo do transistor através de elementos distribuídos, aplicado ao projeto de filtros passa-baixas. Este modelo

possui características bastante convenientes, pois contém um conjunto de expressões explícitas para os parâmetros de pequeno sinal, e cobre as regiões de inversão fraca, moderada e forte. Em um trabalho precursor deste [13] foi estudada a característica distribuída do transistor através do modelo em questão.

2 O TRANSISTOR MOS

O transistor MOS, mais conhecido como MOSFET, é um dispositivo constituído basicamente de três tipos diferentes de materiais, sendo eles o semiconductor, isolante (dielétrico) e condutor. Sua estrutura física é mostrada na Figura 4. De forma simplificada, temos que a corrente que circula entre dreno e fonte é controlada pela tensão entre porta e fonte. Esta tensão é o principal fator que determina quão condutivo o transistor será. Diferentemente do transistor bipolar, o MOS não consome corrente DC pelo terminal de controle.

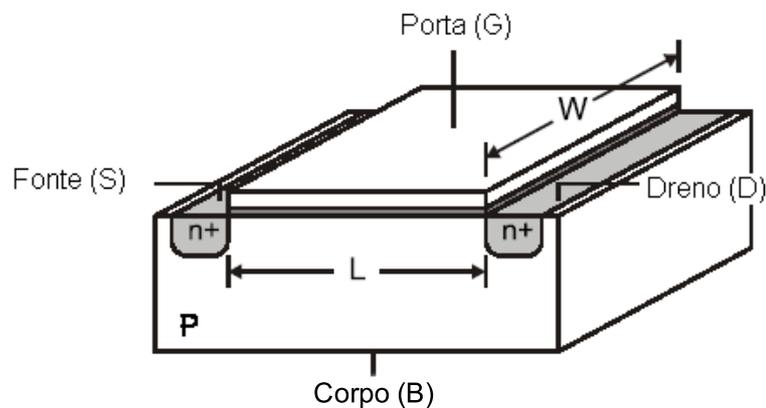


Figura 4: Estrutura física do transistor MOS.

Essa estrutura, de forma geral, pode ser interpretada como um capacitor de placas paralelas, pois a carga acumulada no condutor é espelhada no semiconductor. Considerando o dispositivo sem as regiões de fonte e dreno, podemos observar facilmente o efeito de inversão ou acumulação que o campo elétrico provoca na região do semiconductor. Esse efeito provoca a diminuição da concentração de portadores majoritários, e aumento de minoritários. Ao adicionarmos as regiões de fonte e dreno obtemos um comportamento mais complexo, já que o fenômeno de inversão dependerá de mais uma diferença de potencial.

O modelo ACM descreve o comportamento do transistor em termos das cargas de inversão das regiões de dreno e fonte. A grande vantagem deste modelo é que ele possui um conjunto de equações válidas em todas as regiões de operação. Sua utilização em projetos á mão é adequada devido ao número reduzido de parâmetros e à simplicidade das equações. Neste capítulo não se pretende fornecer uma explicação completa do modelo, mas sim focar nos principais aspectos que o autor considera importante para o uso na aplicação deste trabalho. Maiores detalhes podem ser encontrados nas referências [1] e [14].

2.1 O Capacitor MOS

Normalmente, o estudo do comportamento do transistor MOS começa com a análise do dispositivo sem as regiões de fonte e dreno. Através dessa estrutura, podemos começar a compreender os fenômenos que estão associados ao seu funcionamento. Em seguida, introduzimos as regiões de fonte e dreno, obtendo assim as relações entre a corrente e as tensões terminais. Será adotado um substrato com dopagem do tipo p . Inicialmente, podemos assumir que a relação entre a carga elétrica e tensão no dispositivo é dada pela equação 2.1, semelhante à de um capacitor de placas paralelas.

$$V_G = \frac{Q_G}{C_{ox}}, \quad (2.1)$$

Onde V_G e Q_G são, respectivamente, a tensão e a carga no metal, e C_{ox} a capacitância do óxido. Uma forma muito conveniente de trabalhar com a equação 2.1 é expressando a carga e a capacitância por unidade de área, como mostra a equação 2.2. É importante salientar que todas as tensões são referenciadas ao substrato semiconductor do dispositivo.

$$V_G = \frac{Q'_G}{C'_{ox}} \quad (2.2)$$

A equação 2.2 não corresponde ao real comportamento do dispositivo, pois ele não é um simples capacitor de placas paralelas. O semiconductor reage de forma diferente do metal ao interagir com um campo elétrico, devido a sua natureza química. Os portadores majoritários em um semiconductor tipo p são as lacunas. Ao aplicarmos um potencial elétrico maior no metal do que no semiconductor, as lacunas se acumularão no metal, enquanto os elétrons no semiconductor. Através da lei de conservação das cargas, a quantidade de lacunas no metal deve ser igual à quantidade de elétrons no semiconductor (Q_C).

A Figura 5 ilustra de forma simplificada a distribuição do potencial elétrico no dispositivo [15]. O principal conceito a ser entendido nesta figura é que parte da queda de potencial elétrico ocorre no semiconductor. Este efeito resulta da região de depleção criada entre a camada de elétrons na interface do óxido com o semiconductor, e a região tipo p abaixo. Se ao invés do semiconductor tivéssemos metal, o potencial ϕ_{ox} seria predominante para qualquer tensão V_G . O potencial de superfície (ϕ_s) está associado à região que vai da interface entre óxido e semiconductor, até o ponto onde a queda de potencial no substrato é desprezível.

Além disso, ainda temos que considerar os potenciais gerados entre contatos de metal e semiconductor, e o potencial devido a cargas presentes no óxido (impurezas). A soma destes efeitos resulta na chamada tensão de banda-plana (V_{FB}), que é a tensão aplicada entre porta e substrato necessária para contrabalancear estes efeitos.

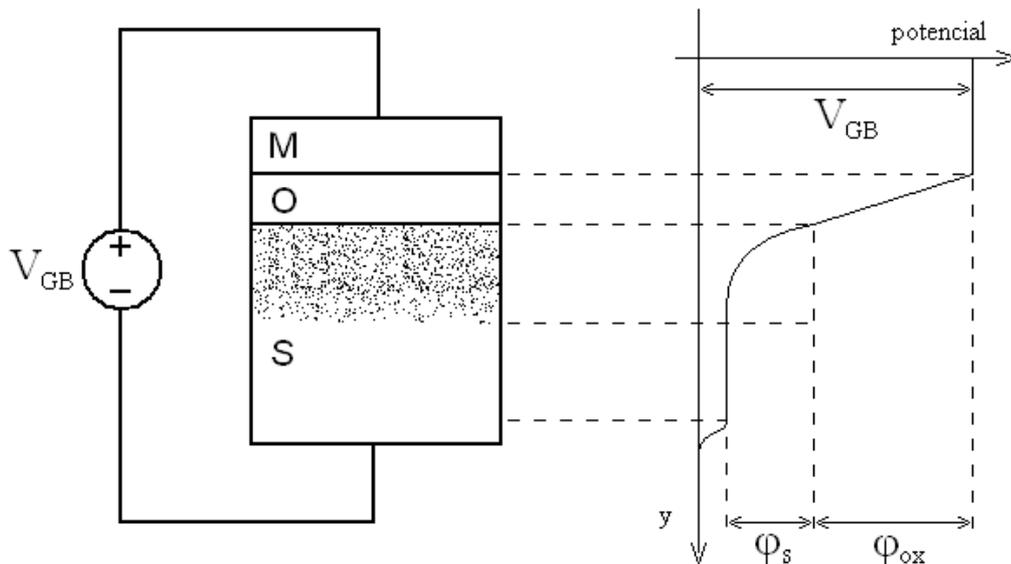


Figura 5: Perfil do potencial elétrico no capacitor MOS.

Tendo abordado as principais características do capacitor MOS, podemos escrever a equação 2.3, que descreve o dispositivo de forma mais precisa.

$$V_G = V_{FB} + \varphi_s - \frac{Q'_C}{C'_{ox}} \quad (2.3)$$

Através do princípio de conservação de cargas e da equação 2.3, temos que a capacitância entre a porta e o substrato pode ser expressa pela equação 2.4

$$\frac{1}{C'_{gb}} = \frac{1}{C'_c} + \frac{1}{C'_{ox}}. \quad (2.4)$$

A equação 2.4 indica que a capacitância entre porta e substrato pode ser representada por duas capacitâncias em série. C'_c está relacionada à região de depleção criada no semicondutor, enquanto C'_{ox} representa a capacitância por unidade de área associada ao óxido. Para determiná-las, calcula-se as densidades de cargas associadas a cada uma através da lei de Boltzmann, e relaciona-se esses resultados com os respectivos potenciais. Verifica-se ainda que C'_c pode ser dividida em duas outras capacitâncias, sendo uma relativa aos portadores majoritários (C'_b) e outra aos minoritários (C'_i). A Figura 6 apresenta o modelo de pequenos sinais para o capacitor MOS.

Até o momento, analisou-se somente o dispositivo de dois terminais. Verificou-se que a existência de um campo elétrico no semicondutor provoca alterações na densidade de portadores. Quando temos o fenômeno de inversão, os portadores minoritários próximos à interface semicondutor-óxido são mais abundantes que os majoritários. Para que se possa acessar esta camada, torna-se necessário estabelecer um contato através de uma região de mesma natureza. Se

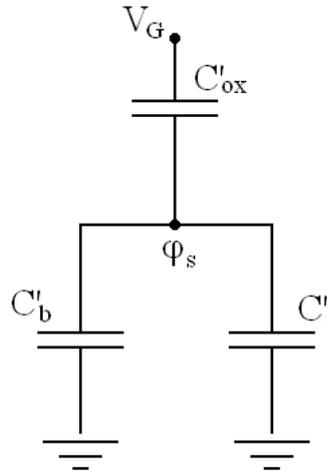


Figura 6: Modelo de pequenos sinais do capacitor MOS.

o substrato for do tipo p , a camada de inversão será formada de elétrons e, conseqüentemente, será necessária uma região tipo n para formar um contato ôhmico.

2.2 Estrutura MOS com Três Terminais

Ao introduzirmos uma região do tipo n em um substrato tipo p , de forma que se possa acessar a camada de inversão, modificamos o comportamento do dispositivo sob certas condições. A figura 7 mostra o capacitor MOS com uma região de dopagem tipo n . Esta região está submetida a uma tensão V_C , e a porta a uma tensão V_G constante, ambas em relação à parte mais profunda do substrato.

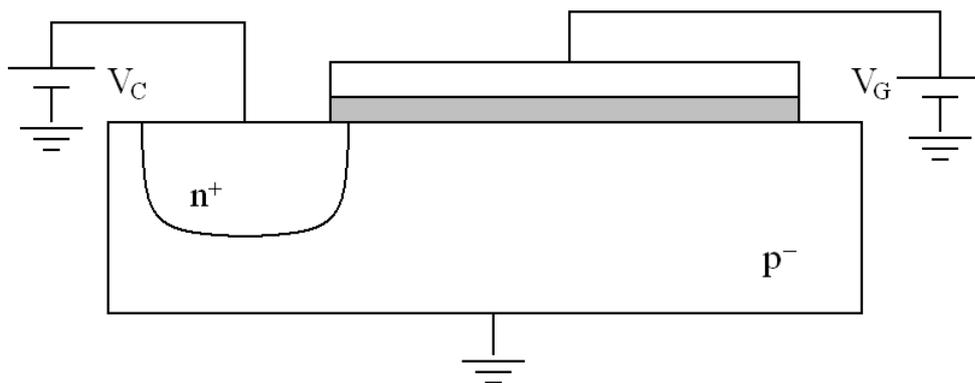


Figura 7: Capacitor MOS contendo uma região $n+$ para acesso ao canal.

Se mantivermos $V_C = 0$ podemos considerar que ϕ_s permanece inalterado comparado com o caso em que a fonte V_C está em aberto [15]. Essa afirmação é válida se consideramos um transistor largo e comprido, pois entre o canal e a região n existirá uma diferença de potencial de valor ϕ_s . Quando aumentamos V_C acima do potencial de superfície, os elétrons

da camada de inversão são atraídos para a fonte V_C . Isso faz com que a densidade de carga diminua, traduzindo-se em diminuição do nível de inversão. Enfim, observa-se que a densidade de elétrons no substrato está associada a quão maior é ϕ_s em relação a V_C .

O modelo de pequenos sinais da estrutura de três terminais é mostrado na Figura 8. A equação 2.5, baseada no desenho da figura 8, relaciona a densidade de carga de inversão (Q'_I) com a tensão V_C quando consideramos a tensão V_G constante.

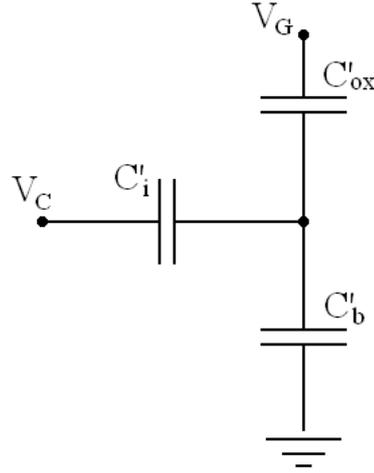


Figura 8: Modelo de pequenos sinais para o dispositivo MOS de três terminais.

$$\frac{dQ'_I}{dV_C} = \frac{(C'_b + C'_{ox}) C'_i}{C'_i + C'_b + C'_{ox}} \quad (2.5)$$

Considerando algumas hipóteses, que podem ser vistas com detalhes na referência [14], obtemos a expressão

$$dQ'_I \left(\frac{1}{nC'_{ox}} - \frac{\phi_t}{Q'_I} \right) = dV_C, \quad (2.6)$$

a partir de 2.5, onde ϕ_t é a tensão térmica e o fator de inclinação (n) é dado por

$$n = 1 + \frac{C'_b}{C'_{ox}}. \quad (2.7)$$

No modelo mais elementar do transistor MOS definimos a tensão de pinch-off (V_P) como a tensão no dreno (V_D) para a qual o transistor entra na região de saturação. Nos modelos mais elaborados temos que a tensão V_C que produz uma carga de inversão de valor

$$Q'_{IP} = -(C'_{ox} + C'_b) \phi_t = -nC'_{ox} \phi_t \quad (2.8)$$

é definida como tensão de pinch-off. Assim, obtemos a equação 2.9, denominada UCCM, integrando 2.6 de um valor arbitrário V_C até V_P .

$$V_P - V_C = \phi_t \left[\frac{Q'_{IP} - Q'_I}{nC'_{ox}\phi_t} + \ln \left(\frac{Q'_I}{Q'_{IP}} \right) \right] \quad (2.9)$$

Até o momento, descrevemos o comportamento das cargas no semiconductor em função das tensões aplicadas aos terminais. No entanto, o modelo elétrico de um dispositivo baseia-se nas relações entre correntes e tensões terminais.

2.3 MOS de Quatro Terminais

Com a adição de uma segunda região com dopagem contrária à do substrato, obtemos o transistor MOSFET, como ele é conhecido. Ao controlarmos a passagem de corrente entre dois terminais através da tensão em um terceiro, observa-se que existem interações entre campos elétricos de direções perpendiculares. O campo elétrico “vertical” neste dispositivo é semelhante ao que observamos no capacitor MOS. O campo elétrico “horizontal” provém da diferença de potencial entre os terminais de dreno e fonte.

Para facilitar a modelagem do dispositivo, o problema em duas dimensões é subdividido em dois problemas em uma dimensão. Em determinadas condições, considera-se o campo elétrico horizontal desprezível em relação ao vertical. Além disso, o fluxo de portadores majoritários pode ser desprezado quando o transistor opera sob condições normais, e a corrente flui somente na direção horizontal.

Uma descrição matemática bastante fiel ao real comportamento da corrente é dada pelo modelo de Pao-Sah. Este modelo faz uso das conclusões apresentadas na seção anterior a respeito do controle de V_C sobre a densidade de carga no canal. A equação 2.10 relaciona a corrente de dreno com as tensões de dreno e fonte, onde a tensão na porta está implícita na densidade de carga do canal e μ_n é a mobilidade dos elétrons. É interessante notar que somente agora temos a ação direta das dimensões do dispositivo na sua modelagem.

$$I_D = -\frac{\mu_n W}{L} \int_{V_S}^{V_D} Q'_I dV_C \quad (2.10)$$

Podemos obter a descrição da corrente em função de Q'_I (2.11) isolando dV_C em 2.5, e substituindo-a na equação 2.10. Torna-se necessário efetuar a mudança nos limites de integração, de acordo com a nova variável dQ'_I . Assim, definimos Q'_{ID} como sendo a densidade de carga na região de dreno, e Q'_{IS} a densidade de carga na região de fonte.

$$I_D = -\frac{\mu_n W}{L} \int_{Q'_{IS}}^{Q'_{ID}} \frac{C'_i + C'_b + C'_{ox}}{C'_i (C'_b + C'_{ox})} dQ'_I \quad (2.11)$$

Com auxílio da expressão aproximada da capacitância de inversão [1]

$$C'_i = \frac{-Q'I}{\phi_t} \quad (2.12)$$

e da equação 2.7, obtemos 2.13 após algumas manipulações algébricas.

$$I_D = \frac{\mu_n W}{L} \int_{Q'_{IS}}^{Q'_{ID}} \left(\frac{Q'_I}{nC'_{ox}} - \phi_t \right) dQ'_I \quad (2.13)$$

Ao integrarmos 2.13, obtemos

$$I_D = \frac{\mu_n W}{L} \left[\frac{Q'^2_{ID} - Q'^2_{IS}}{2nC'_{ox}} - \phi_t (Q'_{ID} - Q'_{IS}) \right] \quad (2.14)$$

A equação 2.14 pode ser vista como a diferença entre duas correntes (2.15). A corrente direta (I_F) é dependente da densidade de cargas na fonte, e a corrente reversa (I_R) dependente da densidade de cargas no dreno.

$$I_D = I_F - I_R \quad (2.15)$$

Normalizando a expressão 2.14 através de Q'_{IP} , encontramos a corrente direta(reversa) é dada por

$$I_{F(R)} = \mu_n C'_{ox} n \frac{W}{L} \frac{\phi_t^2}{2} \left[\left(\frac{Q'_{IS(D)}}{nC'_{ox} \phi_t} \right)^2 - 2 \frac{Q'_{IS(D)}}{nC'_{ox} \phi_t} \right] \quad (2.16)$$

Uma expressão muito útil em cálculos manuais é dada por 2.17, onde V_{TH0} é a tensão de limiar para $V_{SB} = 0$. Esta tensão possui um significado mais compreensivo no modelo de inversão forte, onde a lei quadrática predomina. De forma geral, ela indica a tensão V_{GS} para a qual o transistor conduz ou não. O UCCM, junto com a expressão 2.17, fornece parte da descrição do transistor útil no projeto de circuitos integrados.

$$V_P \cong \frac{V_G - V_{TH0}}{n} \quad (2.17)$$

2.4 O Modelo ACM

Visando a obter equações mais simples de se trabalhar, definiu-se a grandeza denominada nível de inversão como parâmetro de projeto. Essa variável proporciona a ideia de quão invertido encontra-se o canal do transistor. Valores menores que 1 indicam inversão fraca, entre 1 e 100 inversão moderada e maior que 100 inversão forte. Normalizando as densidades de carga de dreno e fonte com relação à carga de pinch-off, e reescrevendo-as em termos das novas

variáveis, obtemos

$$q'_{IS(D)} = -\frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} = \sqrt{1 + i_{f(r)}} - 1, \quad (2.18)$$

onde i_f é o nível de inversão direto e i_r é o nível de inversão reverso.

Verifica-se facilmente que a expressão da corrente, escrita em termos de i_f , fica

$$I_{F(R)} = \mu_n C'_{ox} n \frac{\phi_t^2 W}{2 L} i_{f(r)}. \quad (2.19)$$

Através da equação 2.19 observa-se que as correntes direta e reversa são determinadas a partir dos respectivos níveis de inversão, e de uma parcela em comum. Essa parcela não é totalmente expressa por parâmetros constantes para dada tecnologia, visto que os termos n e μ_n são ligeiramente dependentes da tensão de porta. Entretanto, normalmente utiliza-se o parâmetro I_S como sendo um valor constante no projeto de circuitos. Define-se a corrente específica do transistor como

$$I_S = \mu_n C'_{ox} n \frac{\phi_t^2 W}{2 L}. \quad (2.20)$$

A partir de 2.20 é conveniente definir o parâmetro I_{SQ} com sendo

$$I_{SQ} = \mu_n C'_{ox} n \frac{\phi_t^2}{2}, \quad (2.21)$$

que corresponde a corrente específica de um transistor quadrado.

Aplicando a definição apresentada na equação 2.18 no UCCM (2.9), obtemos a expressão 2.22, conhecida como UICM. Ela relaciona as tensões terminais com os níveis de inversão, e consequentemente com a corrente.

$$V_P - V_{S(D)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right] \quad (2.22)$$

Vale ressaltar que o parâmetro I_{SQ} difere entre transistores de canal n e p , devido a mobilidade dos portadores serem diferentes. Para o transistor de canal p a equação 2.22 é modificada para

$$V_{S(D)} - V_P = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right]. \quad (2.23)$$

3 O TRANSISTOR COMO LINHA RC DISTRIBUÍDA

Apesar de o modelo apresentado no capítulo anterior ser adequado para o estudo do transistor MOS, ainda devemos fazer a consideração mais importante deste trabalho a respeito do dispositivo. Normalmente os modelos para o transistor são constituídos de elementos concentrados. Entretanto, observa-se que existe um efeito distribuído tanto da capacitância, quanto da resistência do canal.

O estudo das características distribuídas do transistor será elaborado com base no esquema da Figura 9. O sinal de excitação é aplicado pela fonte V_{in} , enquanto V_S , V_D e V_G fornecem a polarização do transistor. Para iniciar a análise, podemos visualizar o que acontece com a resistência e a capacitância quando percorremos o comprimento do canal. Deve-se ter em mente que para obtermos uma densidade de carga constante ao longo do canal, devemos necessariamente ter as tensões V_S e V_D iguais, ou muito próximas.

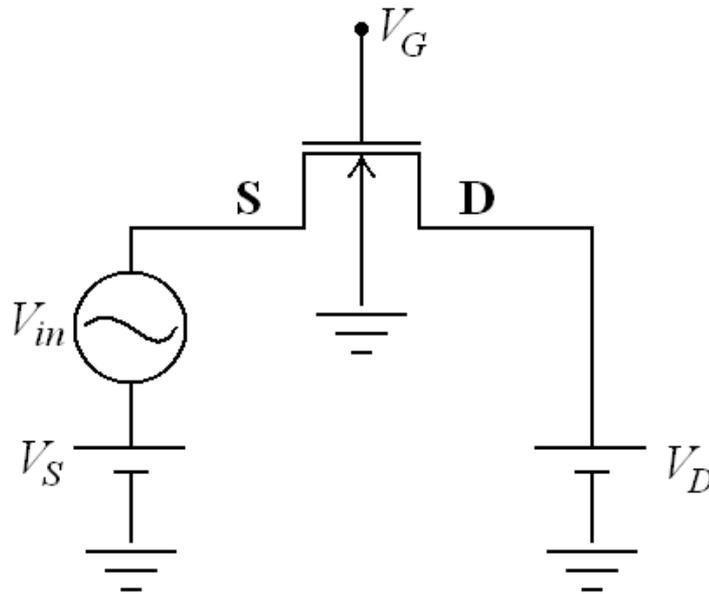


Figura 9: Esquema utilizado no estudo do transistor como linha de transmissão RC.

Sendo (V_{DS}) nulo ou próximo de zero, a resistência do canal aumenta de forma linear de um lado até outro. Um fato a ser destacado é que se pode permutar quais lados são dreno e fonte, já que a corrente DC é nula no transistor. Da mesma forma, os níveis de inversão direto e reverso são iguais (2.20). Convencionamos chamar o terminal onde aplicamos o estímulo de fonte, e o terminal onde obtemos a resposta de dreno.

Como visto no capítulo 2, temos associado ao canal duas capacitâncias (C_{ox} e C_c). Da mesma forma que a resistência, observa-se que estas duas capacitâncias estão distribuídas ao

longo do comprimento entre dreno e fonte. A Figura 10 ilustra o efeito distribuído do dispositivo. Diferentemente do que estamos acostumados a lidar, o transistor como filtro URC funciona como um elemento passivo.

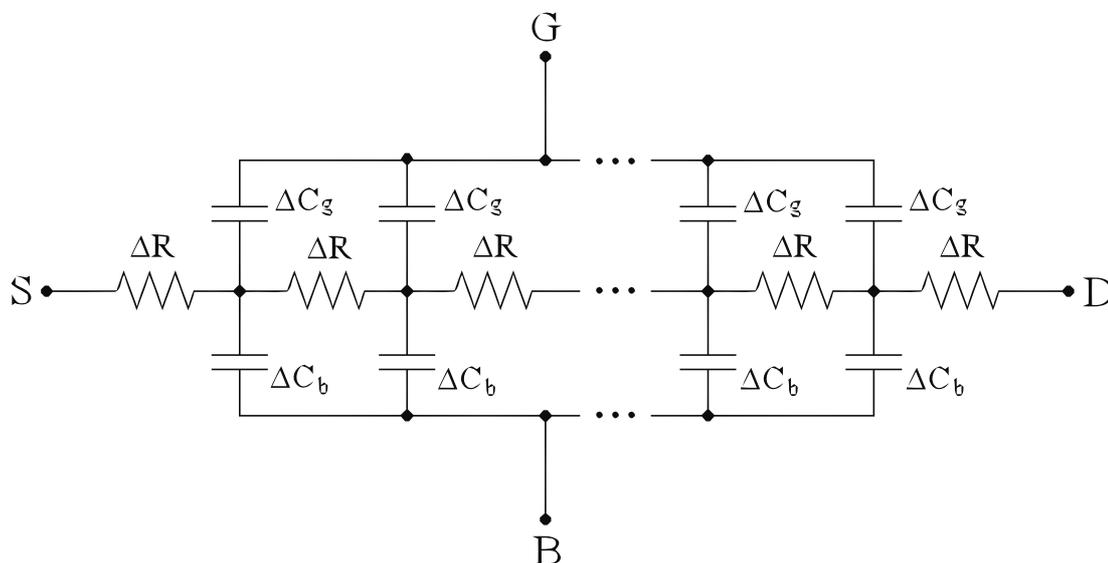


Figura 10: Representação dos efeitos resistivo e capacitivo do transistor.

Em resumo, podemos associar a cada resistência infinitesimal do canal, uma capacitância infinitesimal tanto para a porta, quanto para o corpo. Através da Figura 10 observa-se claramente que o transistor assemelha-se a uma linha de transmissão RC. Essa modelagem torna-se necessária quando temos um comportamento não quase-estático do transistor. Quando temos uma fonte excitando um dos terminais do dispositivo, e a corrente não acompanha esta variação, temos ação da inércia das cargas no canal. Normalmente, a utilização de modelos que levam estes efeitos em conta tem maiores aplicações em altas frequências. Entretanto, é possível nos depararmos com este efeito em baixas frequências, desde que a inércia das cargas seja considerável.

Neste trabalho iremos averiguar a resposta em frequência do transistor, observando a corrente que deixa o terminal de dreno para uma dada tensão no terminal de fonte. De forma a obtermos uma característica passa baixa, os terminais de porta e corpo estarão em potenciais DC fixos e o dreno será aterrado em AC. Entretanto, devem existir tensões DC não nulas para fornecer a polarização do transistor.

3.1 Descrição Matemática da linha RC

Analisaremos o transistor baseados na Figura 11, que é obtida ao aterrarmos o terminal de porta no esquema apresentado na Figura 10. Dessa forma, o dispositivo torna-se semelhante

a uma rede URC, sendo possível estabelecer uma relação entre as correntes e tensões. Aqui definiremos o eixo x como sendo o eixo ao longo do canal do transistor, diferentemente do que foi convencionado no Capítulo anterior.

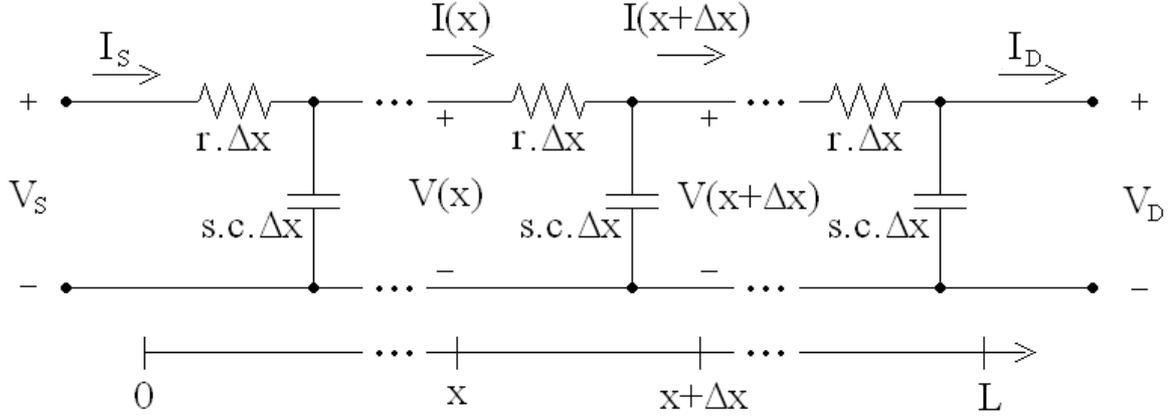


Figura 11: Representação do transistor como uma linha RC distribuída.

Inicialmente podemos escrever as leis de Kirchoff para um trecho infinitesimal da rede no domínio da frequência (3.1 e 3.2).

$$V(x + \Delta x) = V(x) - r\Delta x I(x) \quad (3.1)$$

$$I(x + \Delta x) = I(x) - sc\Delta x V(x + \Delta x) \quad (3.2)$$

Onde r e c são a resistência e a capacitância do canal ambas por unidade de comprimento.

A partir de 3.1 e 3.2 podemos obter a equação diferencial 3.3 que descreve o sistema fazendo $\Delta x \rightarrow 0$. Observa-se que ela é equivalente à conhecida equação de difusão (3.4), que descreve o comportamento de outros sistemas na natureza.

$$\frac{d^2 I(x)}{dx^2} - src I(x) = 0 \quad (3.3)$$

$$rc \frac{\partial y(t)}{\partial t} = \frac{\partial^2 y(x)}{\partial x^2} \quad (3.4)$$

Aplicando as condições de contorno pertinentes, obtemos a solução da equação 3.3, apresentada pela matriz admitância 3.5.

$$\begin{bmatrix} I_s \\ I_d \end{bmatrix} = \begin{bmatrix} \frac{\sqrt{sC}}{\sqrt{R}} \operatorname{cotgh}(\sqrt{sRC}) & -\frac{\sqrt{sC}}{\sqrt{R}} \operatorname{cosech}(\sqrt{sRC}) \\ \frac{\sqrt{sC}}{\sqrt{R}} \operatorname{cosech}(\sqrt{sRC}) & -\frac{\sqrt{sC}}{\sqrt{R}} \operatorname{cotgh}(\sqrt{sRC}) \end{bmatrix} \begin{bmatrix} V_s \\ V_d \end{bmatrix} \quad (3.5)$$

Onde R é a resistência entre fonte e dreno, e C é a capacitância equivalente vista pelo canal, sendo ambas determinadas pela polarização do transistor e pelos parâmetros tecnológicos. A

dedução detalhada deste resultado pode ser acompanhada no apêndice A.

3.2 Método de Análise

Normalmente, avaliamos a resposta em frequência de um sistema através das magnitudes das tensões de entrada e saída. Entretanto, optou-se por trabalhar com a corrente de curto-circuito como variável de saída. Como mencionado no Capítulo 1, existem diversos trabalhos que utilizam a técnica MOSFET-URC mantendo a saída do filtro em aberto. É possível obter filtros com características bastante interessantes, desde que utilizemos realimentações através de circuitos ativos. No entanto, a proposta deste trabalho é avaliar a filtragem que um único transistor é capaz de realizar.

Um esquema geral de como o transistor será utilizado como filtro é apresentado na Figura 12. Neste caso a corrente do terminal de dreno é utilizada como variável de saída. O capacitor C_{big} é necessário para o desacoplamento DC, enquanto a fonte V_D fornece a polarização do transistor. Mantendo o terminal de fonte aberto em DC necessariamente devemos ter V_{DS} nula. Obviamente a utilização de um capacitor de valor relativamente grande inviabiliza a aplicação prática deste circuito, entretanto ele pode ser utilizado para avaliar a resposta em frequência do transistor.

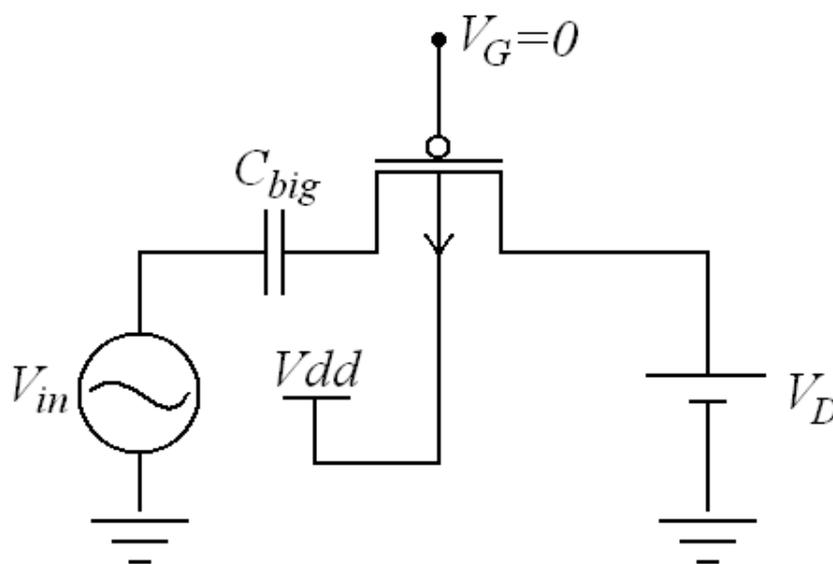


Figura 12: Esquema geral de utilização do transistor MOS como filtro URC.

Através da matriz admitância 3.5 podemos analisar o comportamento da tensão de circuito aberto, e da corrente de curto circuito do dreno do transistor. A corrente que deixa o terminal de dreno será nula se mantivermos ele em aberto. A segunda linha da matriz 3.5 nos remete a uma relação entre as tensões de fonte e dreno, mostrada na equação 3.6.

$$\frac{V_d}{V_s} = \frac{1}{\cosh(\sqrt{sRC})} \quad (3.6)$$

A equação 3.6 possui um número infinito de polos sobre o eixo real [??], porém o primeiro é o que mais afeta a resposta em frequência do transistor. Pelo fato dessa expressão não ser racional em s , torna-se difícil encontrar uma expressão analítica para a frequência de corte. O que podemos fazer é aproximá-la através da expansão em série de potências do termo $\cosh(\sqrt{sRC})$. Isso é feito escrevendo este termo como a soma de exponenciais, e em seguida expressando-as em forma de séries.

Pelos motivos citados anteriormente, consideraremos a corrente de curto-circuito como variável de saída. Também através da segunda linha da matriz 3.5 podemos fazer $V_d = 0$ obtendo a função de transferência 3.7, que relaciona I_d com V_s .

$$\frac{I_d}{V_s} = \frac{\sqrt{sC}}{\sqrt{R}} \frac{1}{\sinh(\sqrt{sRC})} \quad (3.7)$$

Da mesma forma que a equação 3.6, 3.7 também não é racional em s , sendo adotado o mesmo procedimento para estimar a frequência de corte do transistor. Substituindo $\sinh(\sqrt{sRC})$ pela série de potências correspondente em 3.7, obtemos a equação 3.8.

$$\frac{I_d}{V_s} = \frac{1}{R} \frac{1}{1 + \frac{1}{3!}sRC + \frac{1}{5!}(sRC)^2 + \frac{1}{7!}(sRC)^3 + \frac{1}{9!}(sRC)^4 + \dots} \quad (3.8)$$

Como forma de estimar a frequência de corte do filtro (f_c), podemos desconsiderar os termos de ordem maior que 2 na equação 3.8. Assim, obtemos uma expressão aproximada da função de transferência, dada pela equação 3.9.

$$\frac{I_d}{V_s} = \frac{1}{R} \frac{1}{1 + \frac{1}{6}sRC} \quad (3.9)$$

Utilizando um software de cálculo numérico observou-se que os termos de ordem maior que 2 na equação 3.8 introduzem uma diferença de aproximadamente 35% entre as frequências de corte das expressões 3.7 e 3.9. Obteve-se os valores de f_c para a equação 3.7 medindo-se onde ocorriam as quedas de -3 dB em relação a banda passante. Em princípio, podemos pensar que excluindo os termos de ordem maior que 2 no denominador de 3.8 teremos f_c maior na expressão aproximada em comparação com a expressão real. No entanto, o que acontece é que a frequência de corte determinada na expressão 3.9 é inferior ao valor obtido na equação 3.7. Esse resultado é consistente, pois trabalhamos com números complexos no denominador de 3.8.

Podemos observar que na equação 3.7 a variável complexa não está somente no argumento da função hiperbólica, mas também multiplicando este fator. Através da equação 3.8 verifica-se que o ganho em DC é $1/R$. Esse resultado já era esperado, visto que para uma tensão com frequência muito baixa, ou contínua, é válida a relação $I_D = V_{DS}/R$.

A Figura 13 ilustra a diferença entre as equações 3.6 e 3.7, e um filtro passa-baixas de primeira ordem. Nos três casos os parâmetros R e C são iguais. O ganho em DC na equação 3.6 e no passa-baixas de primeira ordem foi modificado de forma a garantir a comparação das respostas em frequência.

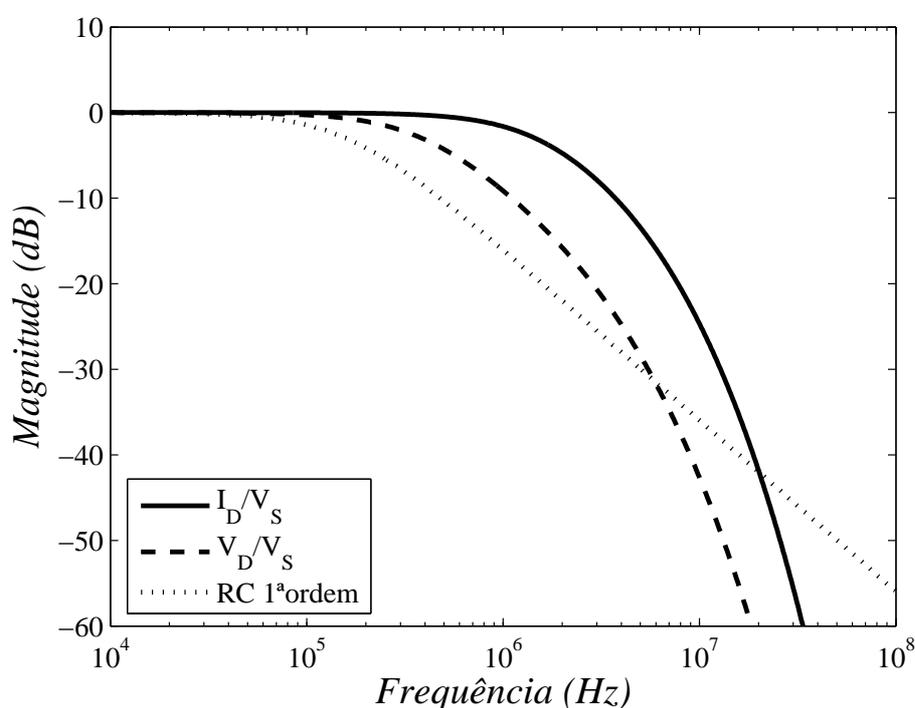


Figura 13: Comparação entre filtro passa-baixas RC de 1ª ordem e duas formas do filtro URC-MOSFET.

Verifica-se que para uma mesma constante de tempo (RC) os filtros possuem diferenças relativamente grandes nas frequências de corte. Pode-se associar a maior frequência de corte, no caso em que observamos a corrente de curto-circuito, ao aterramento do terminal de dreno. Isso ocorre porque, gradualmente, parte da capacitância distribuída ao longo do canal tem o seu efeito anulado pelo aterramento.

3.3 A Constante RC do Transistor

A constante de tempo do transistor pode ser alterada através das suas dimensões, e também através da polarização de seus terminais. Essa polarização influencia tanto a condutivi-

dade do canal, quanto nas capacitâncias do dispositivo.

Um circuito simplificado de pequenos sinais para o transistor MOS é apresentado na Figura 14 [14]. Este modelo não descreve o dispositivo de forma precisa em todas as condições, pois os efeitos capacitivo e resistivo do transistor são de natureza distribuída. Entretanto, a constante de tempo é encontrada através da resistência total do canal e da capacitância equivalente vista por ele.

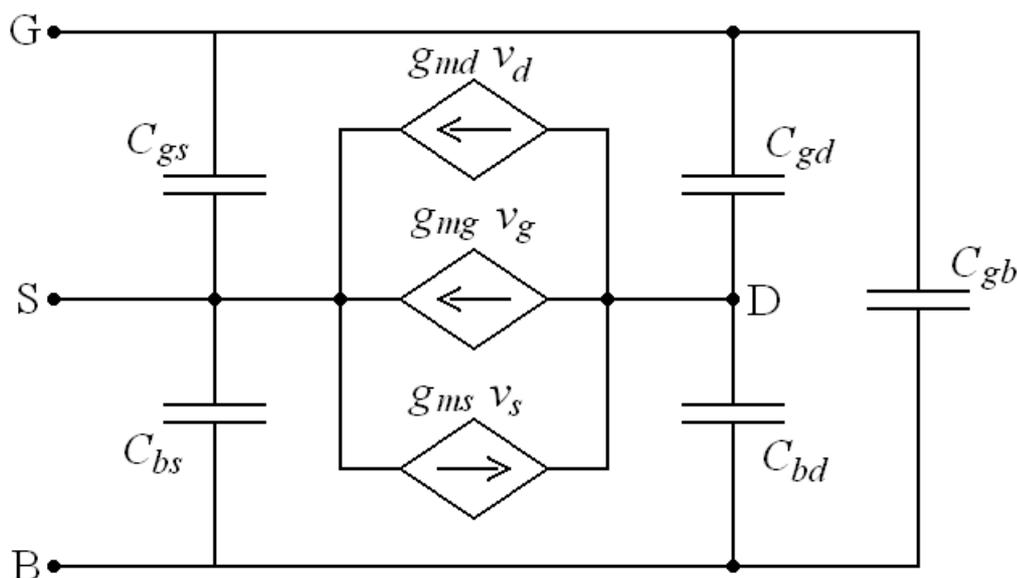


Figura 14: Circuito de pequenos sinais para o transistor MOS, válido em baixas frequências.

Em termos do modelo, podemos separar as duas capacitâncias C_{ox} e C_c em outras cinco, sendo cada uma associada a dois terminais do transistor. Elas são as capacitâncias entre porta e fonte C_{gs} , porta e dreno C_{gd} , corpo e fonte C_{bs} , corpo e dreno C_{bd} e porta e corpo C_{gb} . É importante destacar que essas capacitâncias são parâmetros de pequenos sinais, ou seja, seus valores variam conforme a polarização do dispositivo. Elas são definidas a partir da equação 3.10, onde j e k podem indicar qualquer um dos quatro terminais do dispositivo, exceto as situações em que $j = k$. É importante mencionar que devido à não linearidade do dispositivo pode não haver reciprocidade entre as capacitâncias.

$$C_{jk} = -\frac{\partial Q_j}{\partial V_k} \quad (3.10)$$

Para encontrar estas capacitâncias utilizam-se as expressões das cargas nos terminais do transistor, combinadas com a equação 3.10. As expressões para as cargas são encontradas através da resolução unidimensional da equação de Poisson para o transistor de maneira apropriada. As equações 3.11, 3.12, 3.13 e 3.14 apresentam as respectivas capacitâncias em função das densidades de cargas normalizadas nas regiões de fonte e dreno.

$$C_{gs} = \frac{2}{3} C_{ox} \frac{1 + 2\alpha}{(1 + \alpha)^2} \frac{q'_{IS}}{1 + q'_{IS}} \quad (3.11)$$

$$C_{gd} = \frac{2}{3} C_{ox} \frac{\alpha^2 + 2\alpha}{(1 + \alpha)^2} \frac{q'_{ID}}{1 + q'_{ID}} \quad (3.12)$$

$$C_{bs} = (n - 1) C_{gs} \quad (3.13)$$

$$C_{bd} = (n - 1) C_{gd} \quad (3.14)$$

A constante de saturação, denominada α , é definida como a razão entre as densidades de cargas direta e reversa (Q'_F e Q'_R). Na prática, ela indica uma quantização da variação de densidade de carga no canal, de dreno até fonte. Se $V_{DS} = 0$ temos que $\alpha = 1$.

Para obtermos o efeito passa-baixas desejado, de acordo com a Figura 11, é necessário aterrar o terminal de porta. Com isso, o efeito de C_{gb} é eliminado e tanto C_{gs} e C_{bs} , como C_{gd} e C_{bd} ficam conectados em paralelo. Para essa condição, verifica-se que a capacitância equivalente vista pelo canal do transistor é

$$C = C_{gs} + C_{gd} + C_{bs} + C_{bd}. \quad (3.15)$$

Para $V_{DS} = 0$, temos que C é dado por

$$C = nC'_{ox} WL \frac{q'_{IS}}{1 + q'_{IS}}. \quad (3.16)$$

Pela equação 2.18 temos que as densidades de cargas normalizadas podem ser expressas em função dos níveis de inversão. Para a condição $V_{DS} = 0$, a Figura 15 mostra a variação das capacitâncias normalizadas em função do nível de inversão do canal.

Observa-se que quando o transistor está em depleção apenas a capacitância C_{gb} possui valor significativo. Por outro lado, quando ele está em inversão forte temos maior efeito de C_{gs} e C_{gd} . Devido a tensão V_{DS} ser nula temos estas duas capacitâncias de valores iguais.

Com relação a resistência do canal, ao mantermos $V_{DS} = 0$ e o terminal de dreno aterrado, encontramos que a resistência vista do terminal de fonte é

$$R = \frac{1}{g_{ms}}. \quad (3.17)$$

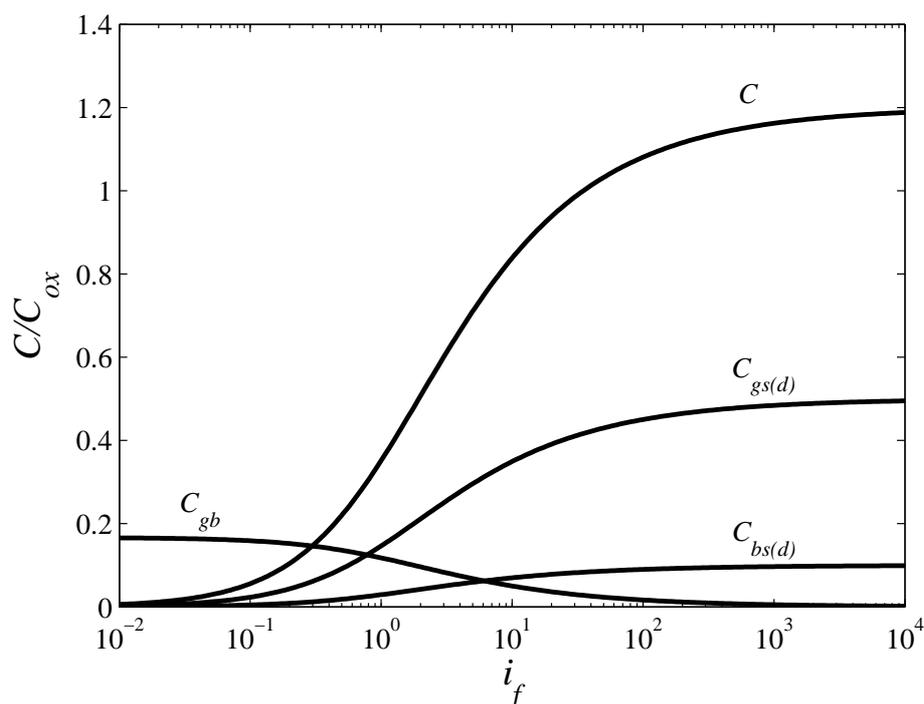


Figura 15: Capacitâncias do transistor em função do nível de inversão do canal ($V_{DS} = 0$).

A transcondutância g_{ms} é definida como

$$g_{ms} = -\frac{\partial I_D}{\partial V_S}. \quad (3.18)$$

Aplicando a equação 2.10 em 3.18, obtemos

$$g_{ms} = -\mu_n \frac{W}{L} Q'_{IS}, \quad (3.19)$$

que pode ser escrita convenientemente como

$$g_{ms} = \frac{2I_S}{\phi_t} (\sqrt{1+i_f} - 1). \quad (3.20)$$

A Figura 16 apresenta a variação da resistência R de um transistor de canal p em função do nível de inversão para a condição de $V_{DS} = 0$. Neste exemplo utilizou-se a tecnologia ON Semiconductor $0.5 \mu m$, com $W = 200 \mu m$ e $L = 120 \mu m$

Através dos gráficos das Figuras 15 e 16 conclui-se que a variação da condutância g_{ms} é o fator que realmente provoca a variação da frequência de corte do filtro. Enquanto a capacitância C varia aproximadamente uma década na faixa de i_f analisada, o inverso de g_{ms} varia quase cinco décadas.

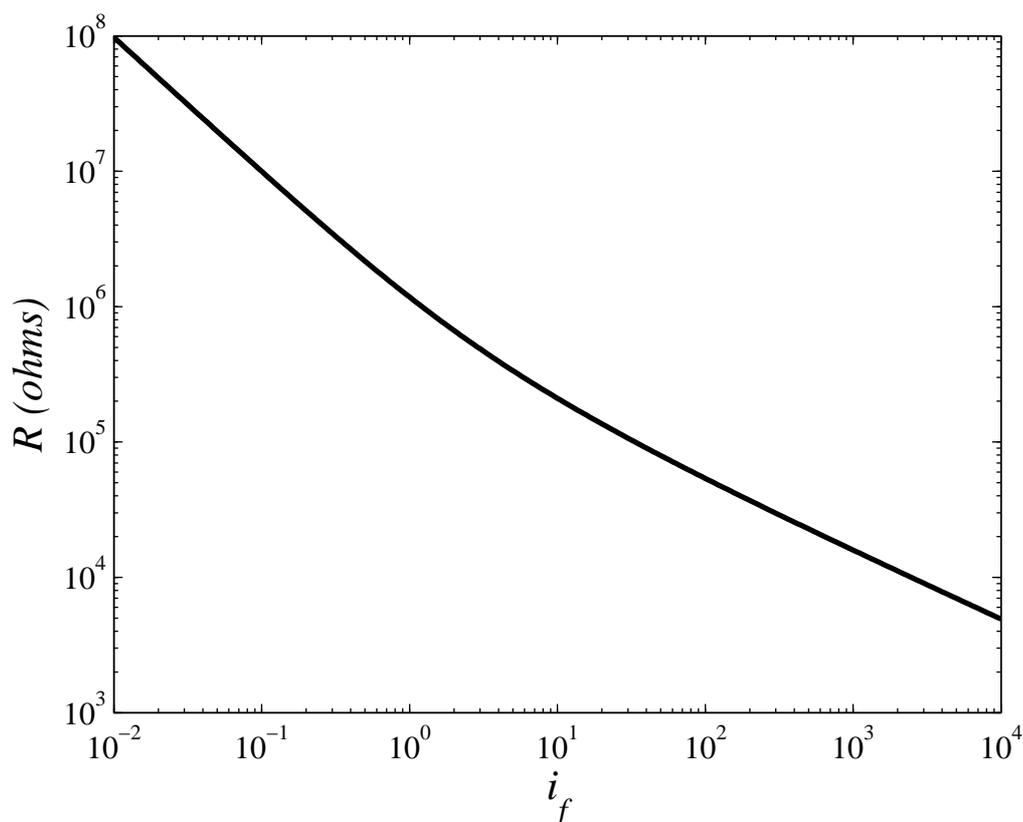


Figura 16: Resistência do canal em função de i_f @ $V_{DS} = 0$, para um transistor com dimensões $W = 200 \mu m$ e $L = 120 \mu m$.

Pela equação 3.9 temos que a frequência de corte aproximada do transistor é dada por

$$f_c = \frac{6}{2\pi RC}. \quad (3.21)$$

Substituindo as equações 3.16 e 3.17 em 3.21 obtemos, com o auxílio de 2.18 e 2.20,

$$f_c = \frac{6\mu_p\phi_t\sqrt{1+i_f}}{2\pi L^2}, \quad (3.22)$$

considerando um transistor de canal p .

A equação 3.22 indica que a frequência de corte não depende da largura do transistor, no entanto depende quadraticamente do comprimento. Dessa forma, podemos estabelecer uma análise relativamente simple para compreender este resultado.

Com base na estrutura URC, temos que a sua resistência é diretamente proporcional ao comprimento L e inversamente proporcional à largura W . Por outro lado a capacitância do dispositivo é proporcional à área ($W \times L$). Visto que a frequência de corte está associada à constante de tempo, obtemos que o produto RC é proporcional à $1/L^2$.

É de interesse deste trabalho obter filtros com baixas frequências de corte. Dessa forma,

torna-se mais cômodo utilizar transistores de canal p , pois a mobilidade das lacunas é, em geral, de duas a três vezes menor que a dos elétrons. A Figura 17 apresenta o comportamento da frequência de corte em função do nível de inversão imposto para diferentes valores de comprimento do canal. O transistor é de canal p , sendo empregados parâmetros da tecnologia ON-Semi $0,5 \mu m$.

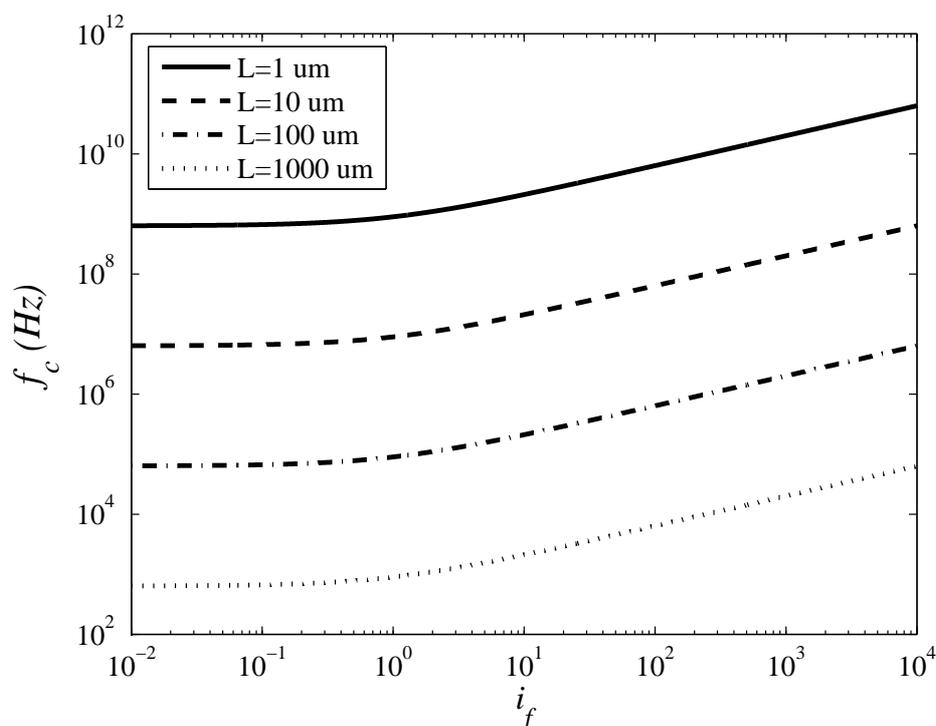


Figura 17: Variação da frequência de corte para um transistor de canal p , com diferentes valores de L .

Obviamente valores de L acima de algumas centenas de microns requerem muita área. A princípio, o consumo de área torna proibitivo o uso desta técnica na confecção de filtros com baixas frequências de corte. Porém, a partir de centenas de kilohertz existem possibilidades de aplicação.

Através do modelo NQS (Non Quasi-Static) do transistor é possível chegar à equação 3.22, porém o estudo realizado aqui apresenta de forma mais fácil resultados considerando os efeitos não quase-estáticos.

A partir do modelo quadrático para inversão forte, podemos pensar em variar as características intrínsecas (condutâncias e capacitâncias) do transistor através da alteração da tensão V_{GS} . Certamente é possível utilizar esse método, entretanto, ao fazê-lo é preciso garantir que o nó referente ao qual a porta está conectada possua uma impedância relativamente baixa. Se isso não for satisfeito, teremos uma mudança na resposta em frequência de passa-baixas para rejeita-faixa [11], como mencionado no Capítulo 1.

Outra vantagem é que ao mantermos a tensão de porta constante, mantemos o fator de inclinação também constante. Para os cálculos realizados neste trabalho, extraíu-se o fator de inclinação através da metodologia exposta na referência [1], citada no apêndice B.

3.4 Ruído no Transistor

Uma limitação importante no desempenho de filtros é introduzida pelo ruído no canal do transistor. Haja vista que neste trabalho utilizaremos o transistor como um resistor, torna-se necessário estimar a tensão de excitação mínima no terminal de fonte para que possamos distinguir a corrente de dreno do ruído inerente ao transistor.

No modelo ACM a carga de inversão, para a condição de inversão fraca é

$$Q_I = WL \frac{Q'_{IS} + Q'_{ID}}{2}. \quad (3.23)$$

Sabendo que o transistor opera na região de triodo, mais especificamente com $V_{DS} = 0$, temos as densidades de cargas na fonte e no dreno iguais. Assim, podemos escrever a equação 3.24, através de 2.18, que relaciona a carga de inversão com i_f .

$$Q_I = -WL (nC'_{ox} \phi_t (\sqrt{1 + i_f} - 1)) \quad (3.24)$$

O ruído térmico médio quadrático no transistor é dado por [1]

$$\frac{\bar{i}_d^2}{\Delta f} = -4kT\mu \frac{Q_I}{L^2}, \quad (3.25)$$

sendo $k = 1,38 \times 10^{-23} J/K$ a constante de Boltzmann e T a temperatura. Substituindo a equação 3.24 em 3.25, obtemos a densidade espectral de ruído (S) como sendo

$$S_x = \frac{\bar{i}_d^2}{\Delta f} = 8qI_S (\sqrt{1 + i_f} - 1), \quad (3.26)$$

onde q é a carga do elétron.

Através da expressão de g_{ms} (equação 3.20) ainda podemos escrever a equação 3.26, que nada mais é do que a expressão do ruído para um resistor.

$$S_x = \frac{\bar{i}_d^2}{\Delta f} = 4kTg_{ms} \quad (3.27)$$

Para um transistor da tecnologia ON-Semiconductor $0.5 \mu m$, com dimensões $W = 200$

μm e $L = 120 \mu m$, $i_f = 1$ e temperatura de $25^\circ C$ temos o ruído médio quadrático dado por

$$S_x = \frac{\bar{i}_d^2}{\Delta f} = 81,6 \times 10^{-19} 16 \times 10^{-9} \frac{200}{120} \left(\sqrt{1+1} - 1 \right) = 1,5 \times 10^{-26} \text{ A}^2/\text{Hz}. \quad (3.28)$$

O valor encontrado para o ruído em 3.28 também pode ser obtido através da resistência do canal, dada no gráfico da Figura 16, em conjunto com a equação 3.27. A corrente específica normalizada foi extraída através do método apresentado na referência [1], mostrado com maiores detalhes no apêndice B.

A determinação do ruído de saída para o transistor como filtro passa-baixas pode ser encontrada com auxílio da equação 3.9. O conceito utilizado para essa análise baseia-se na integração da função de transferência do filtro ao longo do espectro, pois o ruído térmico é uma função constante da frequência. Essa idéia é semelhante a aplicar um impulso em um sistema linear e observar a sua saída.

Utilizando apenas a característica em frequência aproximada do filtro MOSFET-URC, temos que a densidade espectral de ruído na saída do filtro, é dada por [16]

$$S_y = \frac{S_x}{1 + \left(\frac{f}{f_c} \right)^2}. \quad (3.29)$$

A corrente de ruído na saída pode ser determinada integrando a equação 3.29 ao longo do espectro de frequência (equação 3.30).

$$i_{rms}^2 = \int_0^\infty S_y df = \int_0^\infty \frac{1,5 \times 10^{-26}}{1 + \frac{f}{64 \times 10^3}} df = 1,5 \times 10^{-26} 64 \times 10^3 \frac{\pi}{2} \Rightarrow i_{rms} = 39 \text{ pA} \quad (3.30)$$

O resultado obtido acima conduz a um ruído em tensão referido à entrada de $39 \mu V_{rms}$, considerando $i_f = 1$. Para que possamos observar a corrente de dreno no transistor, é necessário aplicarmos uma tensão com amplitude superior ao valor obtido nos cálculos.

3.5 Linearidade

Assim como a técnica MOSFET-C, a MOSFET-URC também apresenta problemas com relação à linearidade. Visto que o transistor não possui uma relação $I \times V$ linear, torna-se necessário limitar as condições sob as quais o filtro irá operar.

A resistência R encontrada anteriormente é o inverso de g_{ms} , que por sua vez é um parâmetro de pequenos sinais. Isso significa que o valor calculado para R é válido somente quando a excursão do sinal de tensão na fonte for considerada pequena. Caso o sinal a ser filtrado possua uma excursão relativamente grande, haverá distorção no sinal de corrente devido

à não linearidade do transistor.

Da mesma forma que R , as capacitâncias intrínsecas do transistor, apresentadas anteriormente, são determinadas para um ponto de polarização. Se a excursão da tensão for suficientemente grande este ponto muda, e os valores das capacitâncias também. Analisando uma frequência específica, observa-se que a alteração da susceptância capacitiva equivalente interfere na corrente que deixa o terminal de dreno.

No entanto, essa parcela de distorção só será significativa quando houver componentes em frequência na banda de rejeição do filtro. Na banda de passagem o sinal não é perturbado pelo efeito capacitivo da rede, podendo ser considerada somente a distorção provocada por g_{ms} .

A Figura 18 fornece uma ideia da linearidade do transistor para diferentes níveis de inversão. Observa-se nitidamente que quanto maior o valor de i_f , maior pode ser a excursão do sinal de entrada, mantendo-se uma relação aproximadamente linear entre a corrente e a tensão. Para uma melhor visualização das curvas, plotou-se I_D normalizado em relação a corrente direta máxima na região de saturação (I_{Fmax}).

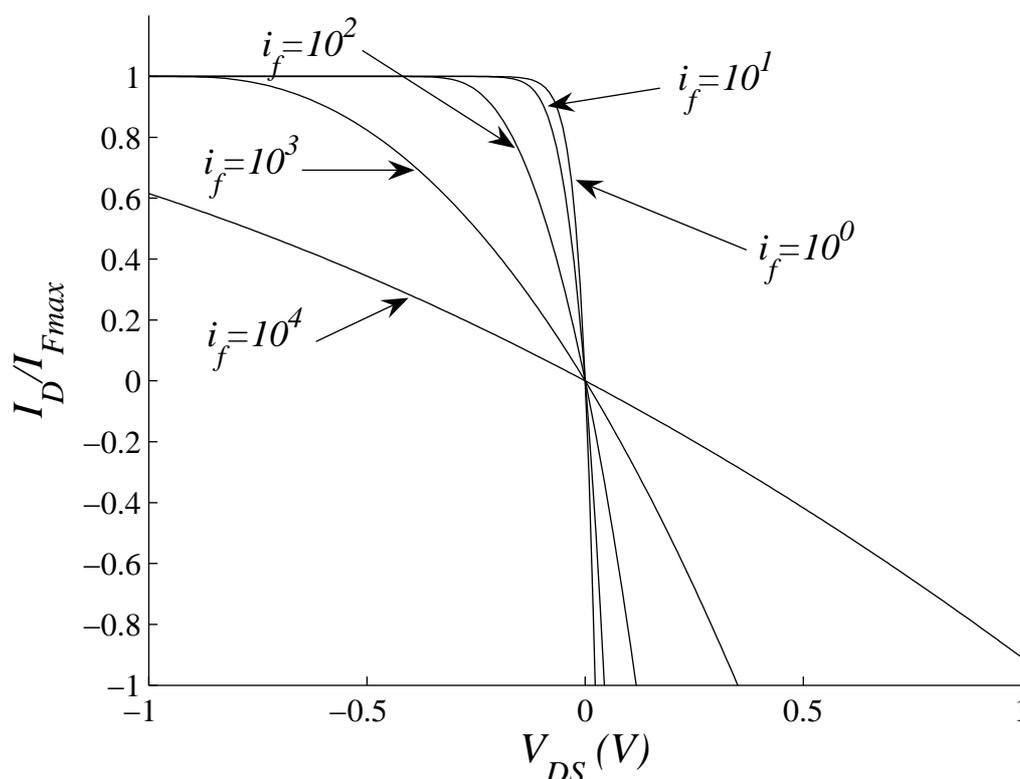


Figura 18: Curvas $I_D/I_{Fmax} \times V_{DS}$ para alguns valores de i_f .

Como forma de avaliar a distorção do MOS na região de triodo, podemos expandir a corrente de dreno em série de potências. Primeiramente, consideraremos que o terminal de dreno é mantido em um potencial fixo, ou seja, o nível de inversão reverso é constante. Tendo

a fonte de excitação (v_{in}) ligada ao terminal de fonte, temos que o nível de inversão direto irá variar conforme a tensão da fonte, porém em torno de i_r . A Figura 12 ilustra convenientemente essa situação. Assim, podemos escrever a equação 3.31, que descreve a corrente através de uma série de potências. Nota-se que o termo para $j = 0$ não aparece, pois a diferença $i_f - i_r$ não contém componente DC.

$$I_D = I_S (i_f - i_r) = I_S \sum_{j=1}^{\infty} k_j v_{in}^j \quad (3.31)$$

A equação 3.31 mostra que a variação da corrente de dreno está associada à variação de i_f em torno de i_r . Os coeficientes k_j podem ser determinados pela expressão 3.32, onde podemos obter uma relação entre i_f e v_{in} através da equação 3.33.

$$k_j = \frac{1}{j!} \left. \frac{d^j i_f}{dv_{in}^j} \right|_{v_{in}=0} \quad (3.32)$$

$$\frac{di_f}{dv_{in}} = \frac{1}{I_S} \frac{dI_D}{dV_S} = \frac{-g_{ms}}{I_S} = -\frac{2}{\phi_t} (\sqrt{1+i_f} - 1) \quad (3.33)$$

Assim, temos que os coeficientes k_1 e k_2 são dados, respectivamente, pelas equações 3.34 e 3.35. Vale ressaltar que ao efetuar a mudança de variáveis devemos mater a equivalência $v_{in} = 0 \rightarrow i_f = i_r$. Os termos de ordem maior que dois destoam muito dos resultados obtidos na prática, devido à imprecisão do modelo com relação às derivadas de ordem mais altas.

$$k_1 = -\frac{2}{\phi_t} (\sqrt{1+i_r} - 1) \quad (3.34)$$

$$k_2 = -\frac{1}{2I_S} \left. \frac{dg_{ms}}{dv_{in}} \right|_{v_{in}=0} = \frac{1}{2I_S} g_{ms} \left. \frac{dg_{ms}}{di_f} \right|_{i_f=i_r} = \frac{1}{\phi_t^2} \frac{\sqrt{1+i_r} - 1}{\sqrt{1+i_r}} \quad (3.35)$$

O nível de inversão i_r indica a polarização DC, e está relacionado com a tensão V_D . Essa tensão é aplicada no terminal de dreno, e devido à imposição de corrente DC nula no transistor, V_{GS} e V_{GD} serão iguais, caracterizando a operação na região de triodo.

A expressão para a corrente de dreno a partir da equação 3.31 é

$$I_D = -\frac{2I_S}{\phi_t} (\sqrt{1+i_r} - 1) v_{in} + \frac{I_S}{\phi_t^2} \frac{\sqrt{1+i_r} - 1}{\sqrt{1+i_r}} v_{in}^2 + \dots \quad (3.36)$$

Considerando $v_{in} = V_M \sin(\omega t)$ como sinal de excitação, temos que a equação 3.36, com auxílio da identidade trigonométrica $\sin^2(x) = \frac{1}{2} (1 + \cos(2x))$, pode ser escrita como

$$I_D = -\frac{2I_S}{\phi_t} (\sqrt{1+i_r} - 1) V_M \sin(\omega t) + \frac{I_S}{2\phi_t^2} \frac{\sqrt{1+i_r} - 1}{\sqrt{1+i_r}} V_M^2 \sin(2\omega t + \pi/2) + \dots, \quad (3.37)$$

onde o termo DC remanescente é desconsiderado.

Podemos determinar a distorção de segunda ordem (equação 3.38), que é definida como a razão entre a amplitude da componente de segunda ordem (amplitude de $\sin(2\omega t + \pi/2)$) e a amplitude da fundamental (amplitude de $\sin(\omega t)$) [17].

$$HD2 = \left| \frac{\frac{I_S}{2\phi_t^2} \frac{\sqrt{1+i_r}-1}{\sqrt{1+i_r}} V_M^2}{-\frac{2I_S}{\phi_t} (\sqrt{1+i_r}-1) V_M} \right| = \frac{V_M}{4\phi_t} \frac{1}{\sqrt{1+i_r}} \quad (3.38)$$

O resultado obtido na equação 3.38 está de acordo com a Figura 18, pois quanto maior o nível de inversão do transistor, maior é a sua linearidade. À medida que i_r aumenta, a distorção de segunda ordem diminui.

Outro problema decorrente da excursão demasiada de V_S é a mudança da frequência de corte. Se g_{ms} varia em função da amplitude de v_{in} , f_c também será modificado. Esse fato contribui para a especificar o limite de amplitude do sinal de entrada do filtro, sendo muito mais vantajoso trabalhar com sinais considerados pequenos.

3.6 Simulação

Como visto anteriormente, o transistor é melhor representado através de elementos distribuídos, semelhante a uma linha de transmissão. Na aplicação específica deste trabalho, estamos utilizando os efeitos não-quase-estáticos do transistor para implementar um filtro passa-baixas. Ao utilizar um simulador para prever o comportamento de um transistor nessas condições, teremos um resultado que não condiz com a realidade. Nesta situação, caso o simulador não possua modelo não-quase-estático ou seja utilizado o quase-estático, torna-se necessário transformar o modelo baseado em parâmetros concentrados em um a parâmetros distribuídos. Isso é feito seccionando o transistor em questão em m outros menores, de modo que o comprimento total do canal seja mantido. Essa técnica é exemplificada através da Figura 19, onde um transistor foi seccionado em outros cinco menores.

A Figura 20 mostra que ao aumentarmos o número de transistores porém, sempre mantendo o comprimento total constante, teremos cada vez mais uma curva parecida com a da Figura 13. Efetuando essa segmentação, passamos a ter um comportamento que é esperado para uma rede RC uniformemente distribuída. Em questão de simulação, podemos dividir o transistor até onde acharmos suficiente para obter a frequência de corte, evitando assim o desperdício de processamento do computador. Estas simulações são realizadas com base no circuito da Figura 12.

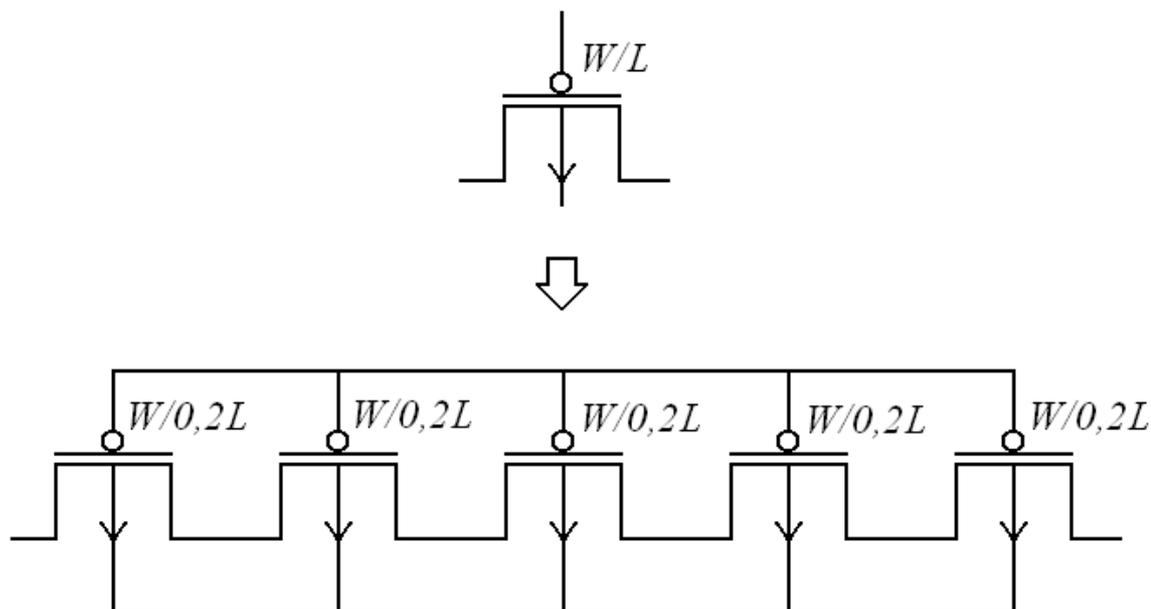


Figura 19: Técnica de seccionamento utilizada para simular a característica distribuída do transistor MOS.

A resposta em frequência obtida utilizando apenas um transistor possui uma característica totalmente diferente do esperado, caracterizando um modelo inadequado. Com base no estudo realizado no Capítulo 3, a função de transferência do dispositivo possui apenas polos. Possivelmente haja zeros que não tenham sido modelados, entretanto o resultado apresentado pelo simulador é inconsistente.

É importante mencionar que ao dividirmos um transistor em vários menores ligados em série, aumentamos os efeitos de determinadas capacitâncias extrínsecas presentes no modelo do dispositivo.

Dentre estas podemos citar as capacitâncias de sobreposição entre porta e fonte(dreno) $C_{gs(d)o}$ e as capacitâncias das junções $p-n$ fonte(dreno)-corpo C_j e C_{jsw} . A capacitância C_j está relacionada com a área da junção paralela ao plano do substrato, enquanto C_{jsw} é relacionada com a área perpendicular (as bordas da junção). Os resultados apresentados na Figura 20 foram obtidos suprimindo as capacitâncias extrínsecas dos transistores segmentados pois, exceto pelos terminais de fonte e dreno, estas capacitâncias não estão presentes no transistor de canal longo.

Ao analisarmos a estrutura física do transistor podemos concluir que estas capacitâncias parasitas situam-se ligadas de forma paralela à capacitância distribuída. Esse efeito pode ser observado através da comparação entre as Figuras 20 e 21. Na primeira o modelo do dispositivo foi alterado de forma que as capacitâncias extrínsecas fossem nulas. Já na segunda temos ação destes elementos no comportamento do transistor. Estas curvas foram obtidas com auxílio da ferramenta CADENCE e do *design kit* ON-Semiconductor $0.5 \mu m$.

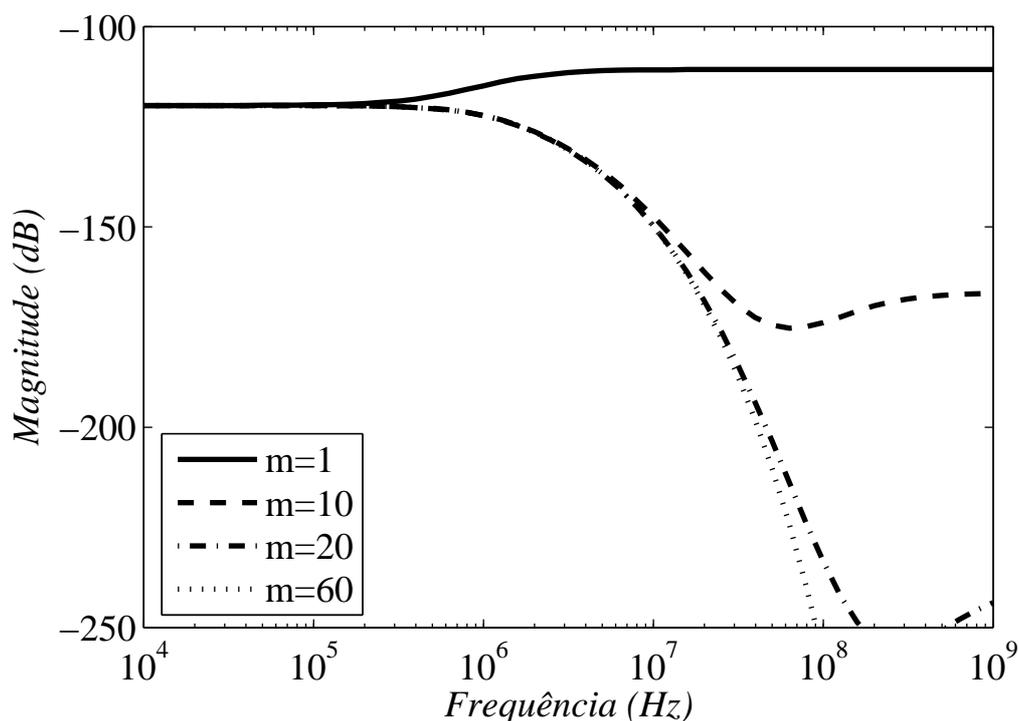


Figura 20: Simulação da resposta em frequência de um transistor de canal p (com canal em m seções) com $W = 200 \mu m$ e comprimento total $L = 120 \mu m$, com $i_f = 1000$.

Fica evidente na Figura 21 que a simulação obtida fazendo o seccionamento de um transistor altera a sua resposta em frequência. Devido à inclusão de capacitâncias extrínsecas, a constante RC aumenta resultando em uma diminuição da frequências de corte. Esse recurso é interessante sob o ponto de vista deste trabalho, porém o efeito que estas capacitâncias proporcionam possui maior relevância quando operamos o transistor em inversão fraca.

Em inversão fraca temos uma capacitância C de valor pequeno se comparado com o valor que a inversão forte proporciona. Dessa forma, a variação da capacitância equivalente torna-se maior quanto menor for o valor de C do transistor inteiro. A Figura 22 ilustra este fato apresentando a frequência de corte em função do nível de inversão para a equação 3.22, e para o modelo BSIM3 com e sem as capacitâncias extrínsecas.

A simulação obtida a partir do modelo BSIM3 foi realizada seccionando o transistor de comprimento $120 \mu m$ em 20 transistores menores e de tamanhos iguais. Através da Figura 22 observa-se que já em inversão moderada os valores obtidos pelo simulador divergem bastante, porém em inversão forte as curvas comportam-se da maneira esperada. A curva referente ao modelo ACM foi multiplicada pelo fator 1,35 para corrigir a aproximação feita na equação 3.9.

Esse resultado expõe uma grande diferença entre a simulação através do modelo BSIM3 e o comportamento esperado. A Figura 13 indica que a frequência de corte do MOSFET-URC

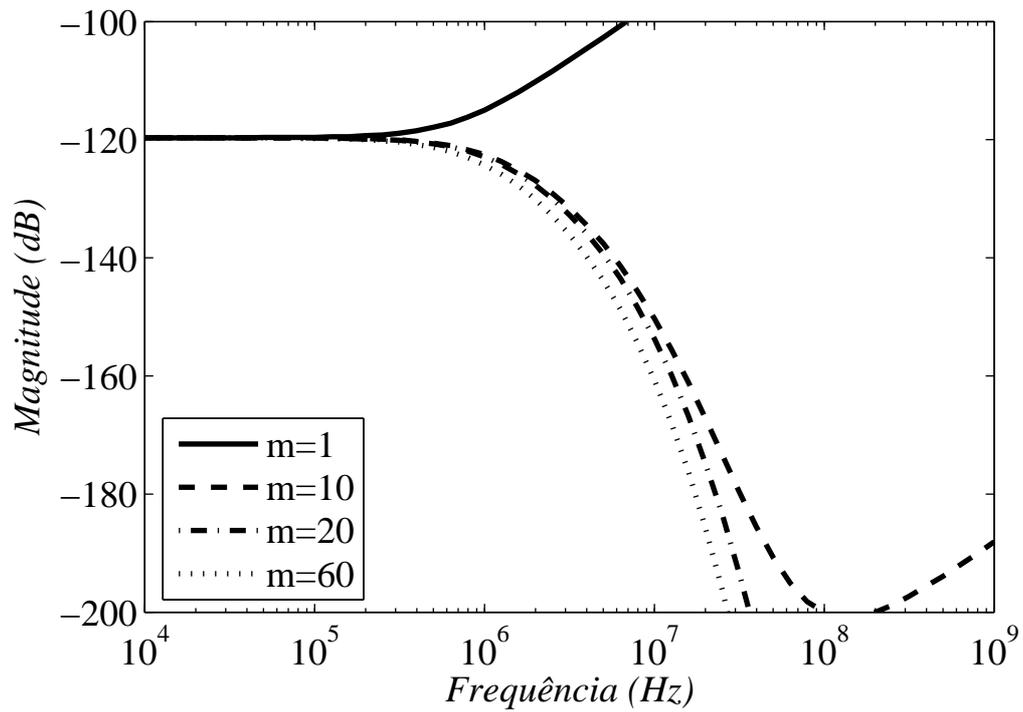


Figura 21: Simulação com os mesmos parâmetros da apresentada na Figura 20, porém anulando os valores das capacitâncias extrínsecas no modelo do transistor.

é superior à encontrada pela equação 3.22. Assim, as curvas referentes ao modelo BSIM3 deveriam estar acima da curva dada pelo modelo ACM.

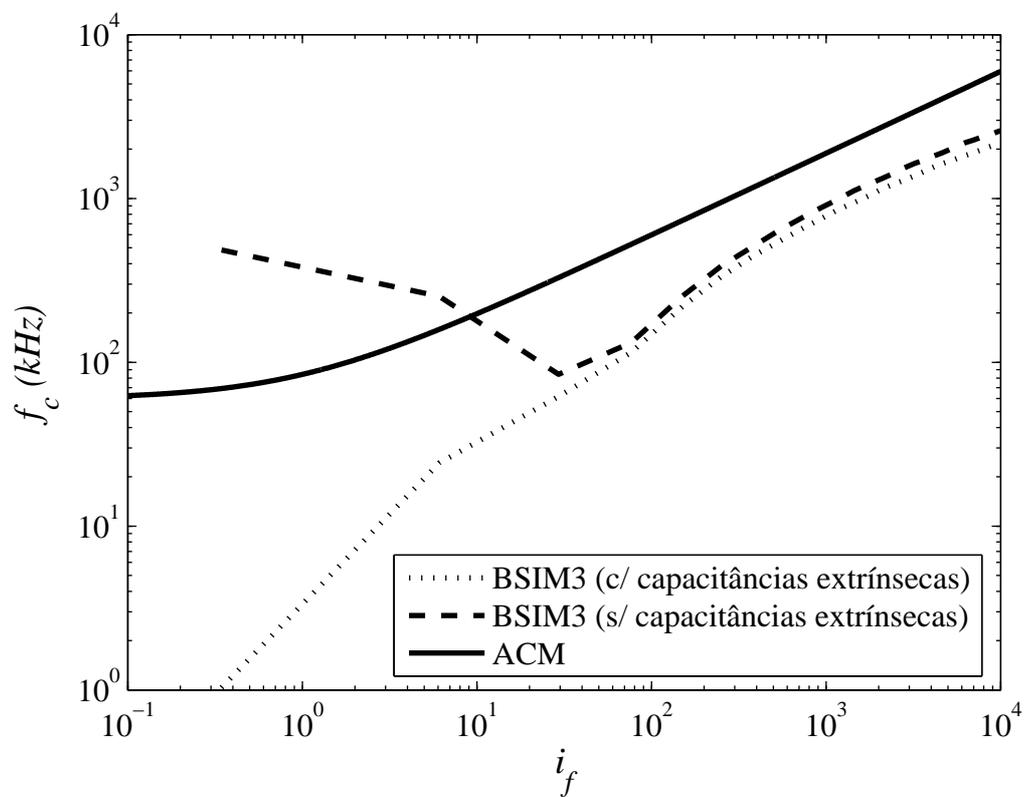


Figura 22: Frequência de corte do transistor em função do nível de inversão para um transistor com dimensões $W = 200 \mu m$ e $L = 120 \mu m$.

4 RESULTADOS PRÁTICOS

Com o objetivo de obter resultados experimentais, elaborou-se o projeto de uma estrutura integrada contendo dois transistores MOS para caracterização da resposta em frequência. Este circuito possui um transistor que será utilizado como filtro, e um segundo que fornecerá a tensão de polarização. Inicialmente, essa estrutura foi projetada para ser utilizada em conjunto com um conversor corrente-tensão, como é apresentado na Figura 23. O quadrado tracejado indica a parte implementada de forma integrada.

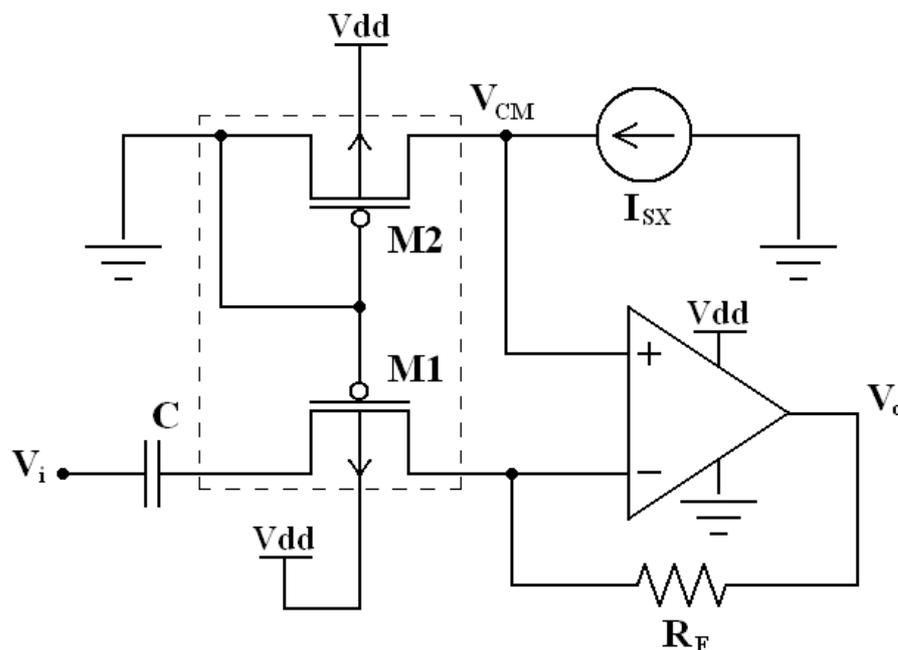


Figura 23: Circuito inicialmente proposto para avaliação da resposta em frequência do transistor.

Optou-se por adicionar uma cópia da estrutura integrada, na qual os dois transistores estão segmentados, devido a confiabilidade no processo de fabricação. O objetivo principal é examinar o comportamento da frequência de corte em função do nível de inversão.

Neste projeto temos tanto a largura quanto o comprimento grandes, pois queremos baixas frequências de corte e valores de R relativamente baixos. Como visto no Capítulo 3, a frequência de corte está associada ao comprimento, independente da largura do canal, enquanto R está relacionado com ambos. O interesse em termos a resistência entre fonte e dreno relativamente pequena está na maior transcondutância proporcionada. Assim, é possível obtermos maiores correntes de saída para uma dada tensão de entrada. Esse fato é relevante já que os aparelhos de medição possuem precisão limitada.

4.1 Especificações

O motivo da escolha do transistor de canal p como rede URC foi devido à menor mobilidade das lacunas em relação aos elétrons. Isso faz com que obtenhamos, para uma mesma área de porta, constantes de tempo maiores nos transistores de canal p em relação aos de canal n . Dessa forma, a área consumida pelo circuito torna-se menor para uma mesma frequência de corte.

Para a implementação física dos transistores foi utilizada a tecnologia ON-Semiconductor $0.5\ \mu\text{m}$, disponível ao laboratório através do programa MOSIS. Ela possui $139\ \text{Å}$ de espessura de óxido de porta e mobilidade das lacunas de $256\ \text{cm}^2/\text{Vs}$. Para a aplicação em questão, quanto menor a espessura e a mobilidade, maiores constantes de tempo por unidade de área teremos. A tensão de alimentação utilizada é de $5\ \text{V}$.

O circuito composto pelos dois transistores foi projetado de forma que as medidas pudessem ser efetuadas levando-se em conta as limitações dos aparelhos de medição. Para uma boa avaliação da resposta em frequência do transistor, em associação a uma grande excursão do nível de inversão, a frequência de corte do filtro deve variar de algumas dezenas de kilohertz até alguns megahertz.

4.2 Circuito Inicialmente Proposto

O circuito apresentado na Figura 23 é composto pela estrutura integrada (dois transistores de canal p), um capacitor, um resistor e um amplificador operacional, além de uma fonte de corrente para polarização. A finalidade do amplificador operacional é fornecer a tensão de referência V_{CM} , e converter a corrente que deixa o terminal de dreno em uma tensão.

A corrente que atravessa o transistor é convertida em uma tensão na saída do amplificador operacional através do resistor R_F . Assim, torna-se mais prático medir o comportamento do sinal que atravessa o transistor. Este circuito é, na verdade, um amplificador de transimpedância semelhante a um amplificador inversor, onde o resistor de entrada é substituído por um transistor.

O capacitor presente na entrada do circuito proporciona um desacoplamento DC entre a fonte do sinal de entrada e o terminal de fonte do transistor. Mantendo este terminal em aberto (em DC), temos que a tensão DC aplicada no dreno aparecerá também na fonte. Dessa forma, podemos, ao mesmo tempo, manter V_{DS} nulo e variar a polarização do transistor de maneira fácil.

O controle da polarização se dá por meio de um transistor auxiliar (M2) operando na

região de saturação. O nível de inversão direto deste transistor será copiado para o outro (M1), pois as tensões de portas e fonte serão as mesmas. No entanto, o nível de inversão reverso será quase nulo para M2, já que os terminais de dreno de porta estarão aterrados. Com relação ao transistor M1, os níveis de inversão direto e reverso serão iguais, pois a corrente DC é nula. Alterando a corrente I_{SX} em M2, temos a alteração da tensão V_{CM} , que é copiada para o dreno de M1 através da condição de realimentação negativa do amplificador operacional.

A alteração da frequência de corte do transistor pode ser efetuada, de forma mais simples, variando-se a tensão V_{CM} através de uma fonte de tensão. Entretanto, o que se deseja é observar o comportamento da frequência de corte em função do nível de inversão do canal. Sabendo que a corrente direta I_{F2} predomina na região de saturação, podemos considerar i_{f1} diretamente proporcional à corrente de dreno de M2. O controle da corrente I_{sx} proporciona um fácil ajuste do nível de inversão do transistor M1. A Figura 24 mostra a variação de V_{CM} em função do nível de inversão, com base nos parâmetros I_{SQ} , V_{TH0} e n extraídos do *design kit* ON-Semiconductor 0.5 μm (apêndice B).

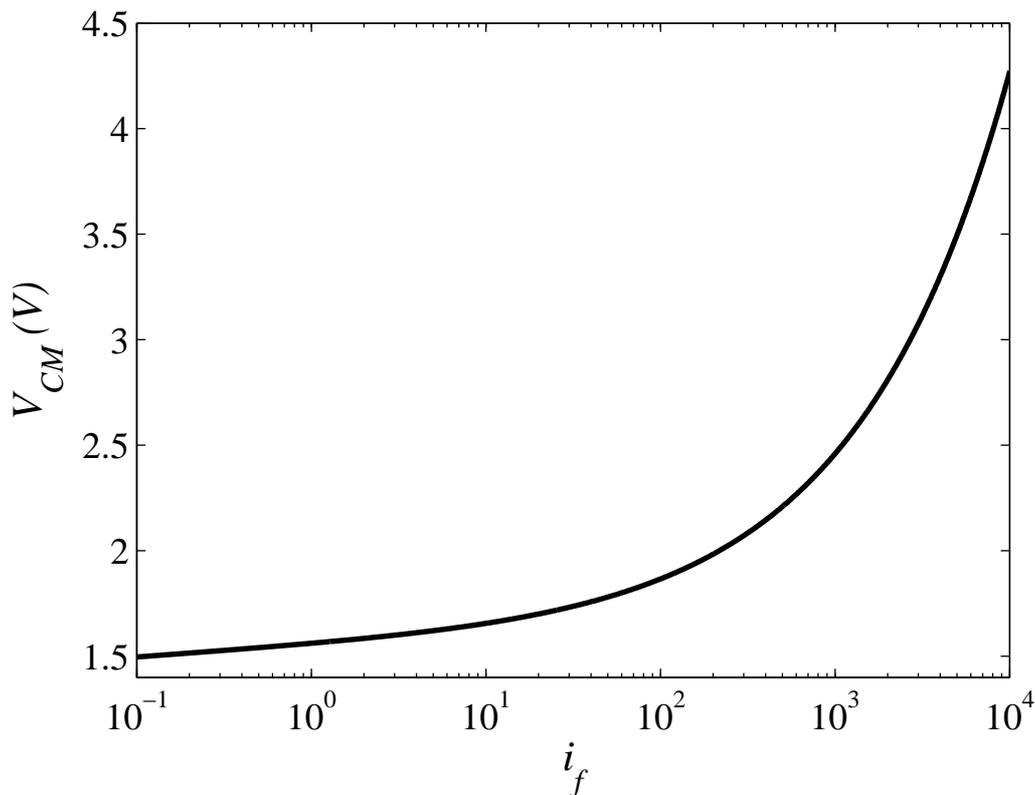


Figura 24: Variação da tensão V_{CM} em função do nível de inversão.

Através de testes experimentais verificou-se a inadequação do amplificador de transre-sistência (Figura 23) para o objetivo proposto. Desta forma, optou-se por utilizar um analisador de espectro para realizar as medidas. Os motivos que impossibilitaram a utilização desta topolo-

gia, bem como a descrição do novo método serão explicados adiante.

4.3 Dimensionamento dos Transistores

O dimensionamento dos transistores foi elaborado com base no circuito proposto inicialmente, apresentado na Figura 23, pois na época de envio para fabricação ainda acreditava-se que a topologia em questão seria utilizada.

Em princípio, fixamos a resistência máxima de realimentação do amplificador operacional (R_F) em $20 M\Omega$, e o ganho mínimo de dois, que necessariamente será quando o transistor estiver no menor nível de inversão. Em primeiro momento, adotamos a faixa de nível de inversão de 0,1 a 10000 a ser observada. Através da Figura 16 verificou-se que para valores de i_f menores que 0,1 a resistência de realimentação deverá ser maior que a especificada para obtermos o mínimo ganho. Para i_f maior que 10000 a faixa de frequência a ser analisada excede o limite especificado.

Outro limite adotado foi em relação à área do transistor. Com os parâmetros até aqui adotados, as dimensões do transistor devem estar em torno de algumas dezenas a poucas centenas de micrometros para a tecnologia ON-Semiconductor $0.5 \mu m$. Podemos então determinar a relação entre W e L para que obtenhamos o ganho de dois para $i_f = 0,1$.

Limitando as dimensões em $100 \mu m$ obtemos $L = 60 \mu m$ para $W = 100 \mu m$ através da equação 3.20. Com isso, temos que a transcondutância g_{ms} terá valor de $0,1 \mu S$ ($R = 10 M\Omega$) para $i_f = 0,1$ e $0,2 mS$ ($R = 5 k\Omega$) para $i_f = 10000$. Estes valores satisfazem o requisito de ganho mínimo em inversão fraca. Entretanto é necessário verificar se a faixa de frequência de corte está dentro da estipulada. Utilizando a equação 3.22 obtemos que a frequência de corte varia de $180 kHz$ em $i_f = 0,1$ até $17,6 MHz$ para $i_f = 10000$. Essa faixa de frequência pode ser deslocada para $45 kHz - 4,4 MHz$ utilizando um transistor com área quatro vezes maior. Dessa forma, adota-se as dimensões $W = 200 \mu m$ e $L = 120 \mu m$ para o projeto.

Um problema decorrente deste circuito é que não conseguimos um ganho constante ao variarmos o nível de inversão. Sendo o ganho dado por $-g_{ms}R_F$, precisaríamos de uma compensação em R_F para mantê-lo constante, visto que a condutância g_{ms} varia em função de i_f .

4.4 Layout do Circuito Integrado

Como mencionado no início deste capítulo, o projeto conta com duas estruturas semelhantes, sendo uma delas composta por transistores seccionado e outra por transistores inteiros.

Esse seccionamento não tem relação com o descrito no capítulo 3, e foi feito com a finalidade de evitar o uso de transistores muito grandes no projeto. Isso torna-se necessário devido ao processo de fabricação ser controlado e caracterizado para determinadas faixas de dimensões. Mesmo possuindo dimensões muito pequenas os sistemas integrados em silício estão sujeitos a estresse mecânico. Optou-se por dividir cada transistor em dezesseis menores, sendo cada um dos quatro transistores em série subdividido em 4 outros ligados em paralelo.

Para a confecção do layout foi utilizado o *design kit* ON-Semiconductor 0.5 μm , em conjunto com a ferramenta CADENCE. O motivo da escolha por esta tecnologia foi a necessidade de implementar o circuito dentro do tempo limitado, aproveitando o fato de que ela seria utilizada em projetos de uma disciplina de pós-graduação. Além disso, também havia disponibilidade de área e de pinos. A Figura 25 apresenta o esquema elétrico do circuito integrado implementado. Os transistores designados de M1a e M1b são particionados, enquanto os M2a e M2b são inteiros.

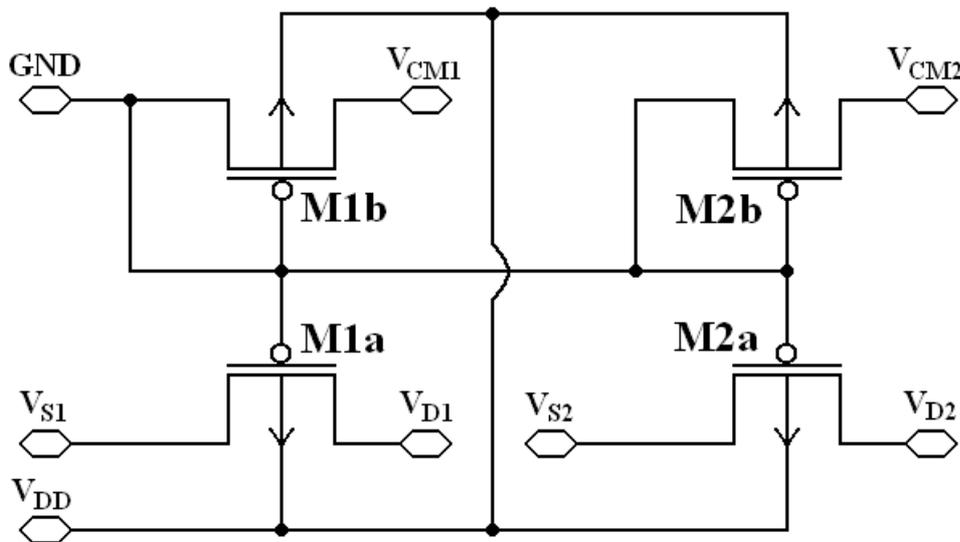


Figura 25: Esquema elétrico do circuito integrado projetado.

Por comodidade, as dimensões dos transistores de referência e como filtro são iguais, assegurando um melhor casamento entre os elementos. Caso houvesse área limitada, o transistor de referência poderia ser menor. Com base no UICM (equação 2.22) verifica-se que os níveis de inversão serão iguais, independente das dimensões. As grandezas que serão diferentes entre os transistores serão as corrente direta e reversa.

Devido à relativa simplicidade do projeto, não houve grandes problemas na confecção do layout. Com relação ao posicionamento das estruturas, procurou-se manter a simetria entre os terminais de fonte e dreno dos transistores que terão a resposta em frequência avaliada. A Figura 26 mostra o layout do circuito proposto completo. Os demais *pads* e espaços vazios

foram destinados a projetos de outros estudantes. O número de *pads* disponíveis para esse projeto foi de oito, enquanto a área ocupada pelo circuito foi de $0,133 \text{ mm}^2$.

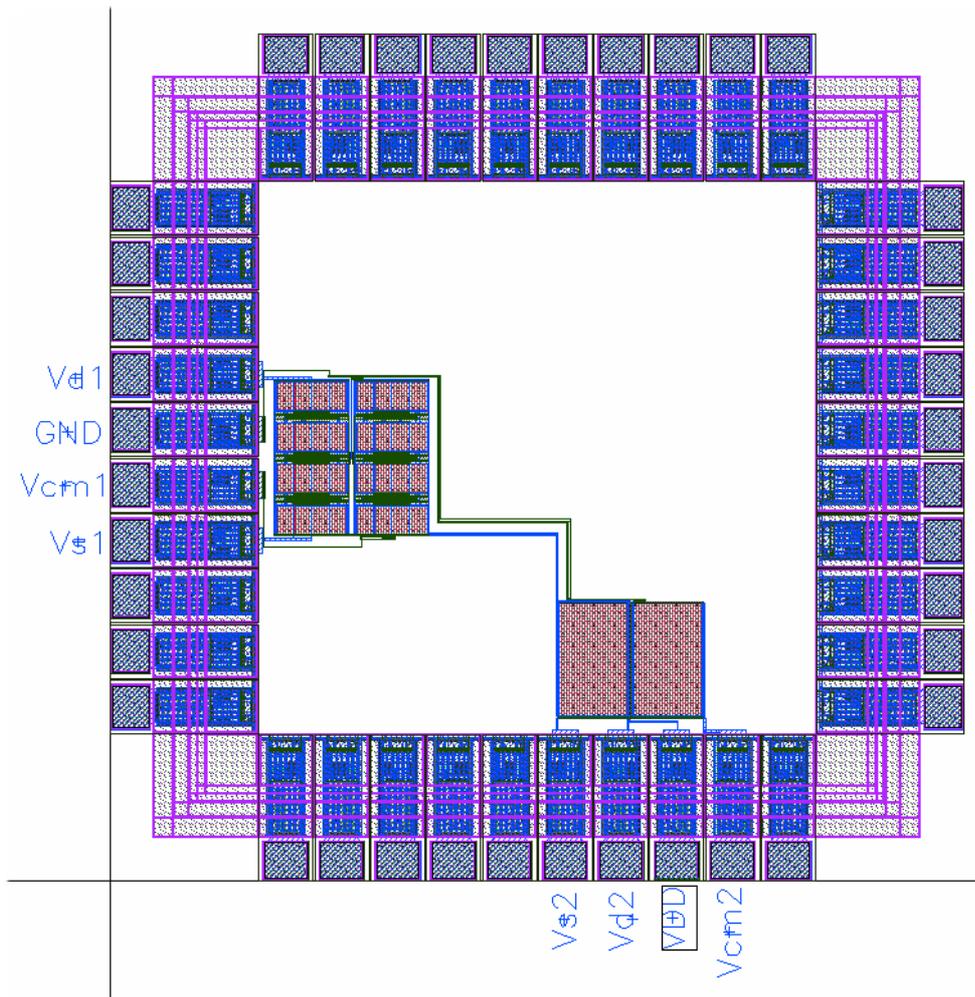


Figura 26: Layout dos dois blocos inseridos no *pad ring*.

Outras imagens com mais detalhes do layout de cada bloco do circuito integrado estão no apêndice C. Também é apresentado o diagrama de ligações do *die* com o encapsulamento, necessário para identificar os pinos a serem utilizados nas medidas.

4.5 Problemas com o Amplificador Operacional

Para que as medidas pudessem ser feitas através do circuito da Figura 23 utilizou-se um amplificador operacional com algumas características consideradas fundamentais. Dentre estas, podemos citar o elevado fator ganho-banda, baixa corrente de polarização e baixa tensão de offset. Assim, optou-se pelo amplificador operacional OPA2350 da fabricante *Burr-Brown* (atualmente *Texas Instruments*).

Devido à faixa de frequência a ser analisada atingir alguns megahertz, o produto ganho-

banda deve ser relativamente elevado. O AmpOp escolhido possui $GB = 38 \text{ MHz}$, sendo esse valor teoricamente suficiente para prover ganho até cerca de 10 MHz .

No início do projeto do circuito já era esperada uma limitação na resistência R_F , devido a necessidade de ganho de tensão. A largura estipulada para o transistor como linha RC foi necessária justamente para minimizar a resistência R , minimizando assim o resistor R_F .

Ao adquirir os amplificadores operacionais verificou-se, através de medidas experimentais, que a característica passa-baixas observada em testes prejudicaria a análise do transistor. Como forma de obter a resposta em frequência do componente, implementou-se o amplificador inversor com ganho unitário ilustrado na Figura 27. Foram utilizados valores de $10 \text{ M}\Omega$, $1 \text{ M}\Omega$ e $100 \text{ k}\Omega$ para os resistores, sendo R_F o resistor de realimentação e R_{URC} o de entrada. Foi utilizado capacitor C_{big} de valor 100 nF para desacoplamento DC, e resistores de $1 \text{ k}\Omega$ para estabelecer a polarização necessária para que haja excursão completa de um sinal senoidal.

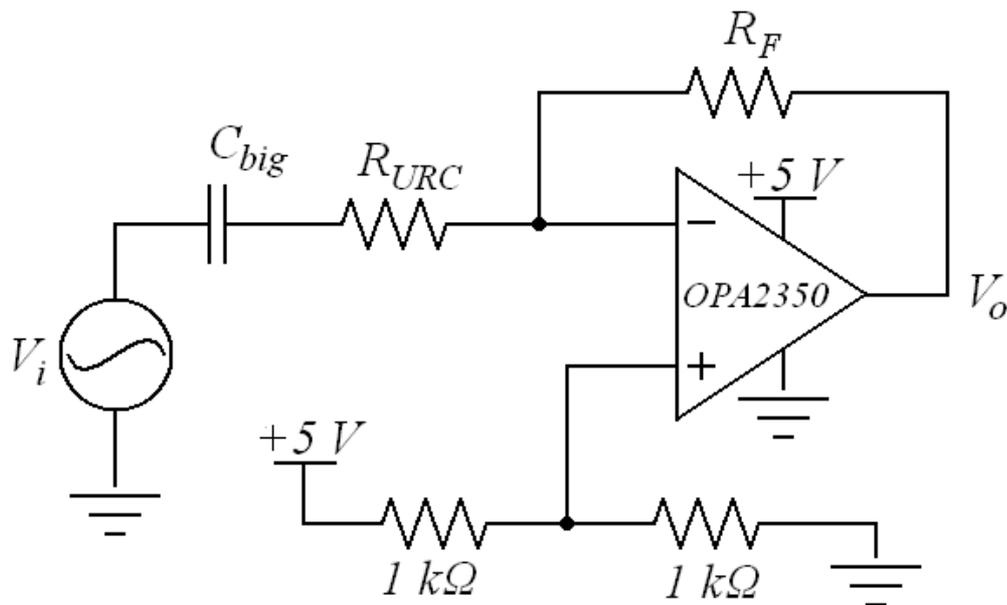


Figura 27: Esquema utilizado para caracterizar a resposta em frequência do amplificador operacional OPA2350.

Através de medidas no laboratório, obteve-se para cada valor de resistência (R_F e R_{URC}) uma frequência de corte diferente, apresentadas na Figura 28. Em princípio, pensou-se que a resposta bassa-baixas estava associada à capacitância vista da entrada inversora do amplificador operacional. Entretanto, após diversas análises concluiu-se que tanto o polo, como o zero presentes nas curvas da Figura 28 ocorrem devido às capacitâncias parasitas do circuito.

Equacionando o ganho do amplificador inversor da Figura 27, considerando como não

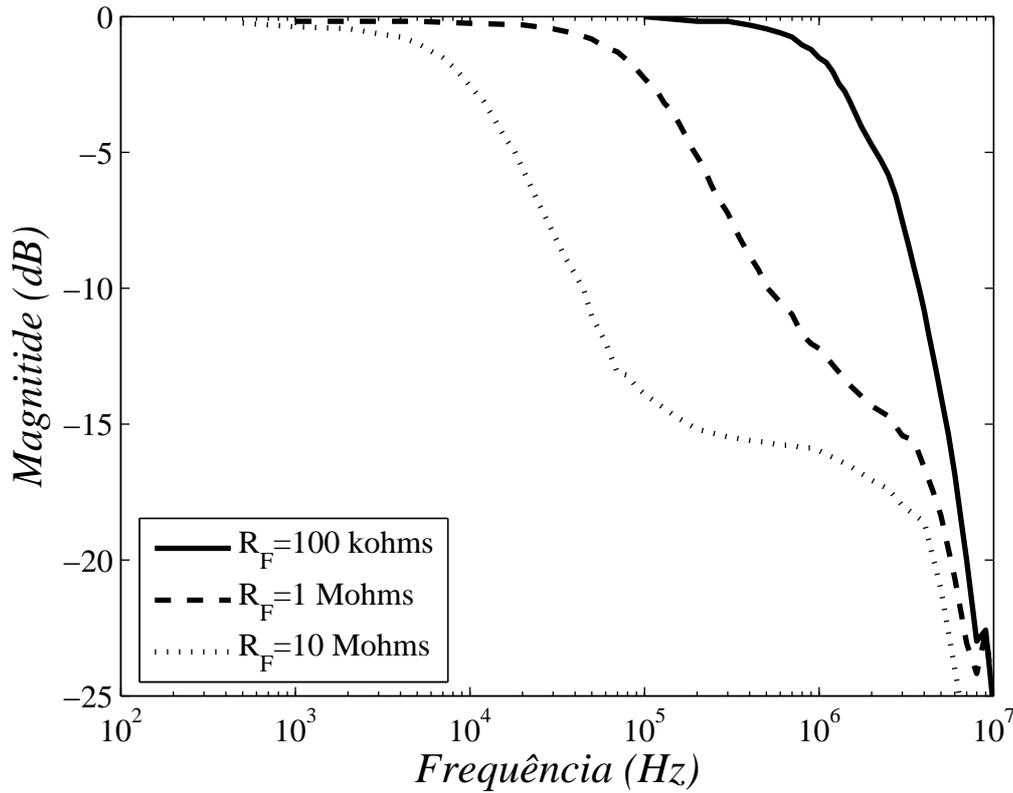


Figura 28: Medidas experimentais da resposta em frequência do amplificador inversor da Figura 27, para diferentes valores de R_F ($R_F = R_{URC}$).

idealidades a capacitância da entrada inversora e o ganho finito, obtemos a equação

$$\frac{V_o}{V_i} = - \frac{K}{1 + sR_{URC}C_{in-} + \frac{R_{URC}}{R_F}(K+1)}. \quad (4.1)$$

Onde K é o ganho em malha aberta e C_{in-} é a capacitância equivalente vista da entrada inversora (capacitância de modo comum somada com a de modo diferencial).

Considerando $R_{URC} = R_F$ podemos escrever a equação

$$\frac{V_o}{V_i} \cong \frac{1}{1 + s\frac{R_F C_{in-}}{K}}, \quad (4.2)$$

que possui um polo em uma frequência K vezes maior que a constante de tempo do circuito. Para os valores de resistores utilizados, e as capacitâncias apresentadas na folha de dados (modo comum $6,5 \text{ pF}$ e de modo diferencial $2,5 \text{ pF}$), a frequência de corte é da ordem de gigahertz. Com esse resultado, conclui-se que o polo observado não está associado à capacitância da entrada inversora do operacional.

Outra hipótese, levantada após várias medidas, foi de que a capacitância parasita presente no resistor de realimentação (C_{Rpar}) provocava o comportamento em questão. Nesta

configuração temos uma função de transferência de primeira ordem, com a frequência de corte dada por

$$f_c = \frac{1}{2\pi R_F C_{RF\ par}}. \quad (4.3)$$

Entretanto, utilizando-se a ponte RLC HP4284 verificou-se que $C_{R\ par}$ possuía valor aproximado de $0,2\ pF$ para os três valores de R_F inspecionados. Isso ainda resulta em uma frequência de corte maior do que a observada.

O circuito de teste foi implementado em uma placa padrão, utilizando-se resistores de carbono e um soquete torneado para fixação do CI. Através da ponte RLC, verificou-se que a capacitância equivalente vista entre os pinos do soquete conectado à placa (C_{eq}), sem a presença do circuito integrado, era em torno de $1,2$ à $1,3\ pF$. A tabela 1 apresenta os valores dos capacitores resultantes das frequências de corte medidas.

Tabela 1: Frequências de corte e capacitores equivalentes calculados através de 4.3.

$R_F\ (M\Omega)$	$f_c\ (kHz)$	$C_{eq}\ (pF)$
0,1	1450	1,38
1	125	1,27
10	11,5	1,10

Percebe-se que os valores de C_{eq} são muito próximos dos valores encontrados nas medições. Esse resultado indica que a limitação na resposta em frequência do amplificador inversor é causada pela capacitância parasita do circuito, e não pela capacitância da entrada inversora do amplificador operacional. Como comparação, implementou-se o circuito mantendo o CI suspenso e conectado por fios à placa. Dessa forma, obteve-se uma frequência de corte de $45\ kHz$ para $R_F = 10\ M\Omega$.

Para ser viável a implementação desta técnica de medição da corrente, torna-se necessário o uso de componentes *SMD*, que possuem menores capacitâncias parasitas. Ou, se possível, implementar o resistor R_F em conjunto com o amplificador operacional de forma integrada.

4.6 Medição com o Analisador de Espectro

Devido ao imprevisto mencionado na seção anterior, optou-se por utilizar um analisador de espectro para realizar as medidas. Da mesma forma que o circuito da Figura 23, o analisador fornece uma impedância baixa, necessária para avaliarmos a corrente que deixa o terminal de dreno. A Figura 29 ilustra o esquema de medição.

Da mesma forma que o circuito anterior, a polarização será dada em função da corrente

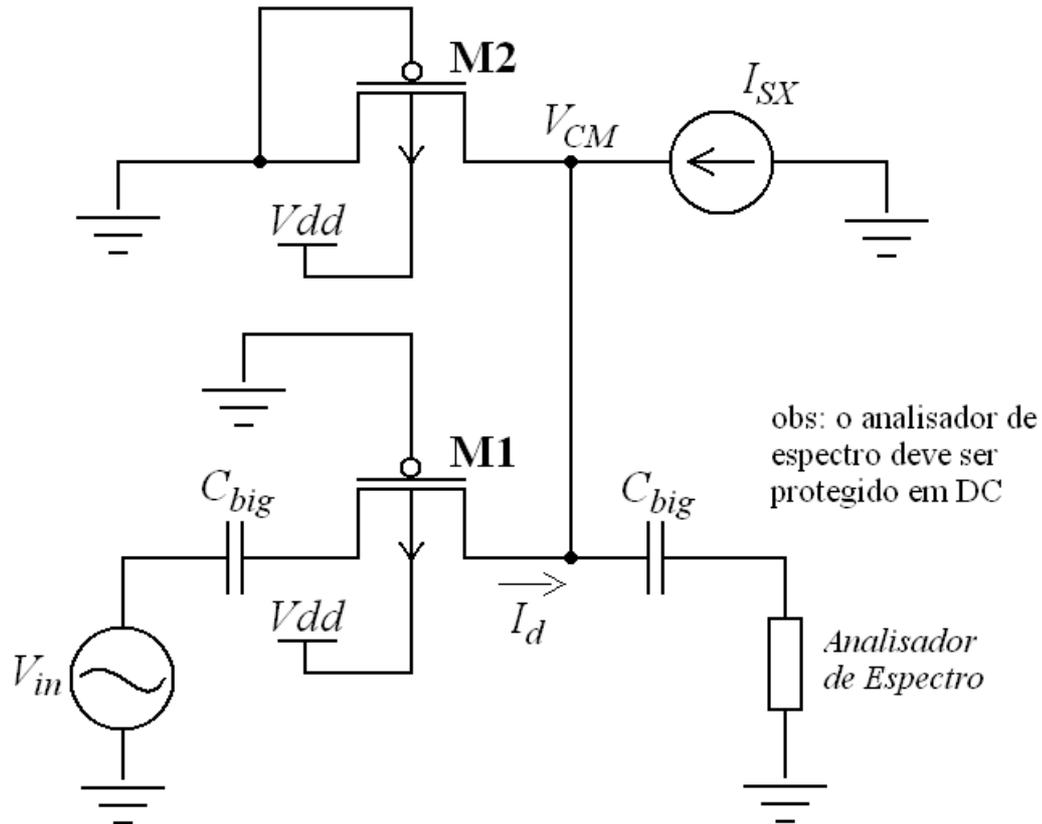


Figura 29: Utilização de um analisador de espectro para avaliação da resposta em frequência do transistor.

I_{SX} . Tendo $I_S = 26 \text{ nA}$ precisamos variar a corrente I_{SX} de $2,6 \text{ nA}$ até $260 \text{ }\mu\text{A}$ para obter uma excursão em i_f de 0,1 até 10000. A corrente I_{SX} pode ser fornecida pela fonte universal HP3245A, presente no laboratório. Ela possui ampla faixa de variação, permitindo a análise desde de inversão fraca até forte. É importante salientar que a fonte de corrente deve ser ligada entre o terra e o terminal do transistor, de modo que ela funcione de forma ativa.

Os capacitores de desacoplamento (C_{big}) permitem inserir a polarização, mantendo a tensão V_{DS} nula. Além disso, o analisador de espectro permanece protegido, pois normalmente este equipamento não suporta tensões DC. Estes capacitores contribuirão com zeros na resposta em frequência da corrente de dreno. Porém seus efeitos não serão percebidos haja vista que a condutância g_{ms1} será de valor relativamente alto, correspondendo a zeros em baixas frequências. Adotou-se o valor de 100 nF para estes capacitores.

O analisador de espectro proposto para esta medição é o HP3588A. Este tipo de equipamento geralmente possui, em um dos modos de operação, uma impedância de entrada de $50 \text{ }\Omega$, sendo que o seu funcionamento é baseado na medição da potência recebida por essa impedância. Ele também permite acoplamento DC, sendo a tensão máxima suportada de 4 V . Devido a impedância do transistor ser muito maior que a do analisador, a corrente que deixa o terminal

de dreno é praticamente a corrente de curto-circuito.

A metodologia de medida é simples, sendo utilizados três equipamentos para tal. A fonte de corrente externa (HP3245A) proporciona a polarização através da injeção de corrente no transistor de referência. Um gerador de funções (HP3314A) é utilizado para excitar o transistor com diferentes frequências dentro da faixa de interesse. O analisador de espectro indica a corrente que deixa o transistor por meio da potência medida na sua impedância de 50Ω . Na realidade, a determinação dos valores absolutos não é o objetivo principal. O mais importante é encontrar a frequência de corte com base nos valores relativos. Isso já é indicado na própria potência medida pelo aparelho.

Aplicando um sinal senoidal e variando discretamente a sua frequência, obtemos a frequência de corte quando a diferença entre potências atingir -3 dBm com relação a banda passante. Para que isso seja observado, devemos garantir que a potência proveniente do transistor seja suficientemente maior que o ruído presente no analisador. A densidade espectral de ruído é uma medida que quantifica a flutuação de uma grandeza ao longo do tempo. Podemos utilizá-la para saber quando um sinal passa a ser considerado “baixo” perante o ruído. Para o analisador em questão temos um ruído de $\sqrt{v^2/\Delta f} = 18 \text{ nV}/\sqrt{\text{Hz}}$. Esse valor é fornecido pelo próprio equipamento, e a sua variação é desprezível em função da banda analisada.

Podemos determinar a amplitude mínima da tensão de excitação através do ruído presente no equipamento, da resistência do transistor e da largura da banda analisada. É necessário ainda manter a excursão do sinal limitada a alguns milivolts em inversão fraca e moderada, a fim de evitar distorções.

Para o transistor projetado, teremos uma resistência de aproximadamente $1 \text{ M}\Omega$ quando $i_f = 1$. Nessas condições a frequência de corte é em torno de 64 kHz . Assim, temos que a tensão média quadrática do ruído é

$$v_{rms} = \sqrt{\frac{v^2}{\Delta f}} \sqrt{\Delta f_b}, \quad (4.4)$$

onde v_{rms} é a tensão eficaz do ruído, e Δf_b é a resolução da largura de banda utilizada na medição (RBW). Esta tensão se desenvolve permanentemente sobre a impedância do analisador de espectro, e conseqüentemente impõe uma sensibilidade ao equipamento. Assim, precisamos determinar a tensão de excitação mínima do transistor para que a tensão sobre a impedância de 50Ω seja maior que o ruído. O circuito da Figura 30 ilustra a situação.

Baseado na Figura 30, temos que o ruído referido a entrada é dado pelo divisor de tensão. Para uma medida utilizando uma resolução da largura de banda de 17 kHz , obtem-se um ruído

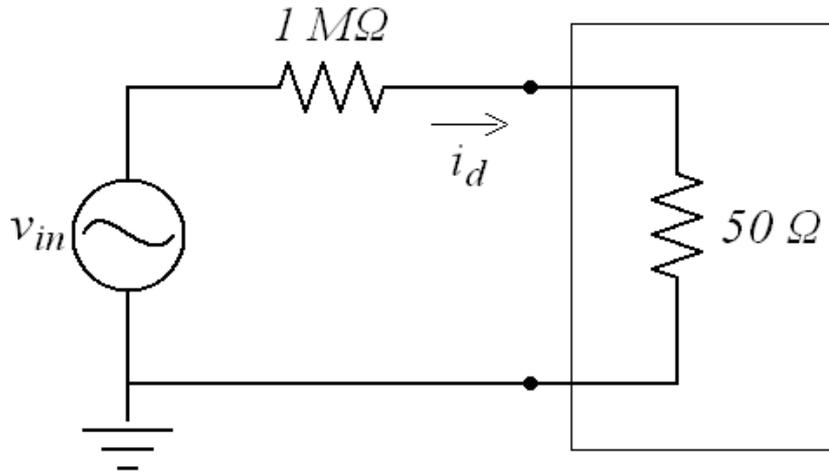


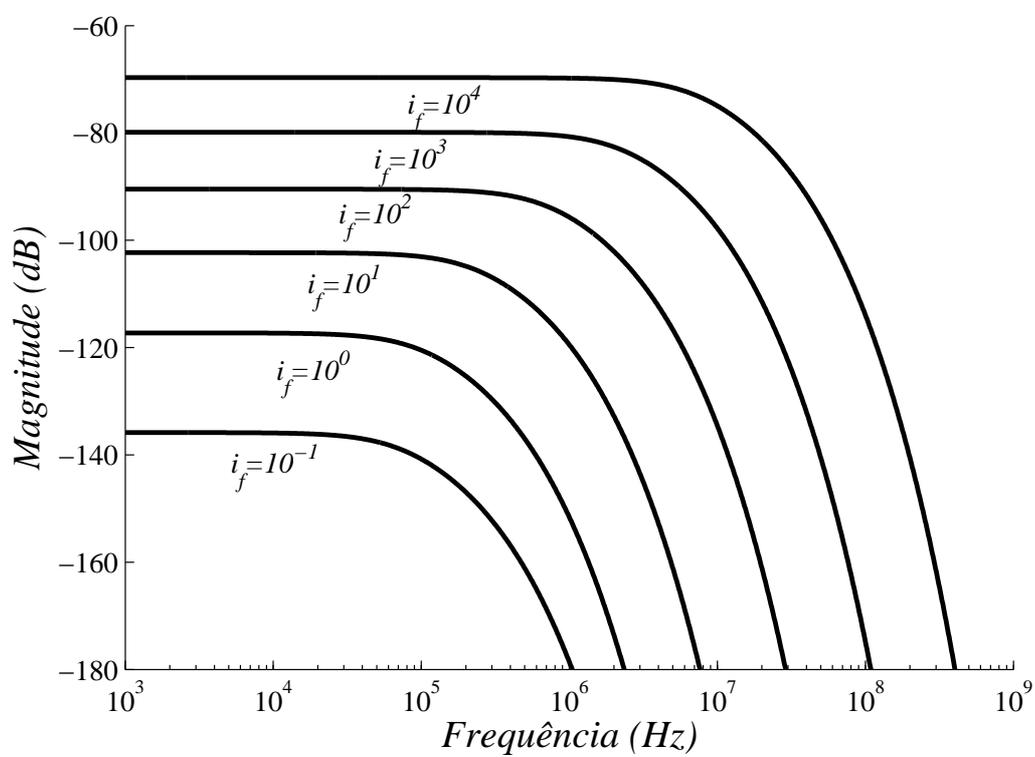
Figura 30: Modelo do circuito de medição utilizado para encontrar a mínima tensão de excitação do transistor.

eficaz de aproximadamente $2,35 \mu V$. Desse modo, temos que o ruído referido à entrada é

$$V_{rms} = \frac{v_{rms}R}{50} = \frac{2,35 \times 10^{-6} \times 10^6}{50} = 47 \text{ mV} \quad (4.5)$$

O resultado obtido indica que, um sinal aplicado na fonte do transistor, precisa ter amplitude maior que 80 mV para que seja detectado pelo equipamento quando operamos com $i_f = 1$. Poderia ser utilizado um valor inferior para Δf_b , diminuindo assim o ruído, porém é necessário observar as limitações do equipamento com relação à resolução de banda. Provavelmente não será possível realizar caracterizações para a região de inversão fraca, pois nessa faixa as especificações de ruído e linearidade não coexistem.

O que se espera obter com as medidas que serão efetuadas é um gráfico semelhante ao da Figura 31. Cada curva apresenta a resposta em frequência do transistor para uma condição de polarização diferente. Excitando o transistor com sinais senoidais de diferentes frequências, obteremos para cada condição de polarização uma das curvas ilustradas. O eixo vertical indica a magnitude da corrente que deixa o terminal de dreno do transistor.

Figura 31: Curvas de magnitude vs frequência para alguns valores de i_f .

5 CONSIDERAÇÕES FINAIS

A utilização do transistor MOS como filtro passa-baixas possui algumas vantagens em relação às demais técnicas apresentadas na introdução. A principal delas diz respeito a substituição de capacitores pelo próprio efeito distribuído da capacitância do transistor. Podemos citar ainda a utilização de apenas um elemento na implementação de um filtro com atenuação maior do que uma rede RC de primeira ordem. A Figura 32 apresenta uma comparação entre a resposta em frequência do transistor MOS e a resposta em frequência de um filtro RC de primeira ordem. Alterou-se a constante de tempo do filtro RC de forma que as frequências de -3 dB sejam iguais.

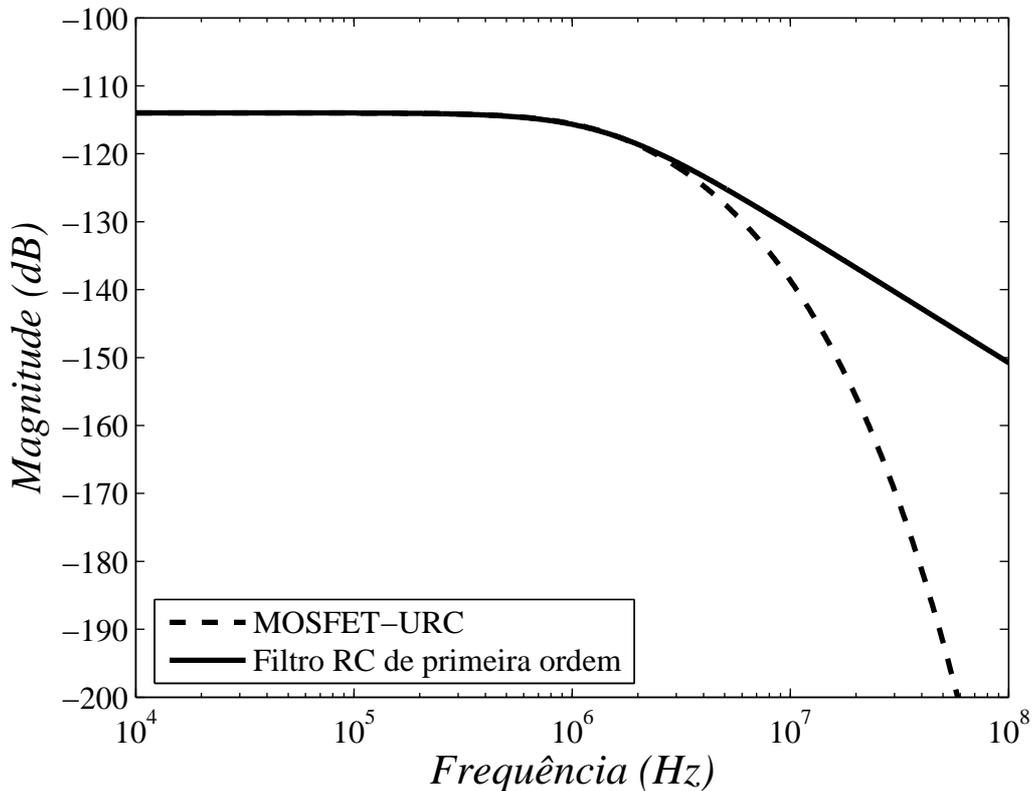


Figura 32: Comparação entre filtro MOSFET-URC e um filtro RC de primeira ordem, com frequências de -3 dB iguais.

Apesar de a atenuação proporcionada por um único elemento URC ser pequena se comparada a outros tipos de filtros, é importante destacar o fato de a frequência de corte poder ser ajustada através da polarização do transistor. Utilizando o método de implementação de referência de corrente proposto em [18], podemos obter uma precisão considerável na frequência de corte. Em um sistema complexo apenas uma referência de corrente pode ser utilizada, e val-

ores diferentes de correntes podem ser obtidos por espelhos com razões de aspectos diferentes.

Frequências de corte baixas se mostraram difíceis de se obter através desta técnica, devido ao elevado comprimento necessário do canal. Para obtermos uma transcondutância adequada para a maioria das aplicações, devemos ter uma largura grande também. Assim, o que torna complicada esta técnica é conciliar a baixa frequência de corte com o consumo reduzido de área. Uma possibilidade seria utilizar a tensão de dreno como variável de saída. Dessa forma, poderíamos implementar um transistor com comprimento de canal muito grande e largura pequena, e fazer o layout de forma serpentinada. Com isso, obteríamos uma constante de tempo alta em uma área reduzida. No entanto, a necessidade de utilização de um *buffer* poderia impor algumas restrições a esta alternativa, já que a sua capacitância de entrada poderia criar um zero além do polo desejado. Além disso, quanto maior a resistência do canal, maior é o ruído referido à entrada.

Uma problema geralmente encontrado em circuitos integrados é o fato de os transistores, e as ligações entre eles, apresentarem capacitâncias parasitas. Estas capacitâncias surgem da própria natureza do dispositivo (C_j e C_{jsw}), e de acoplamentos capacitivos inevitáveis (C_{gso} e C_{gdo}). Porém, no caso do filtro MOSFET-URC estes elementos poderiam ser utilizados para aumentar a constante de tempo. Simplesmente podemos seccionar o comprimento do canal de um transistor em outros menores, ampliando assim estas capacitâncias parasitas. Entretanto, isso proporcionaria maior incerteza quanto a f_c e um projeto mais complicado.

Com relação às medidas, as dificuldades encontradas na metodologia proposta são consequências da operação em inversão fraca, e em alguns casos moderada. A partir de testes práticos, simulando o transistor a partir de resistores, observou-se que as medidas em inversão fraca poderão ser realizadas somente se a tensão de excitação for muito maior que o valor máximo aceito para que não haja distorção.

REFERÊNCIAS

- [1] SCHNEIDER, M. C.; MONTORO, C. G. *CMOS Analog Desing Using All-Region MOS-FET Modeling*. 1. ed. New York, USA: Cambridge, 2010. 486 p.
- [2] FILHO, S. N. *Filtros Seletores de Sinais*. 2. ed. Florianópolis, SC: Editora UFSC, 2003. 311 p.
- [3] KELLY, J. J.; GHAUSI, M. S. Tapered distributed rc networks with similar immittances. *IEEE Transactions on Circuit Theory*, p. 554–558, Dezembro 1965.
- [4] SWART, P. L.; CAMPBELL, C. K. A voltage-controlled tunable distributed RC filter. *IEEE Journal of Solid-State Circuits*, p. 306–308, Agosto 1972.
- [5] O’SHEA, R. P. Synthesis using distributed RC networks. *IEEE Transactions on Circuit Theory*, p. 546–554, Dezembro 1965.
- [6] WALSH, E. D.; CLOSE, C. M. On the synthesis of any RC-realizable rational transfer function using a nonuniform rc distributed circuit. *IEEE Transactions on Circuit Theory*, p. 217–223, Maio 1970.
- [7] WYNDRUM, R. M. Active distributed rc networks. *IEEE Journal of Solid-State Circuits*, p. 308–310, Setembro 1968.
- [8] TSIVIDIS, Y. Use of MOS transistor as a tunable distributed RC filter element. *Electronics Letters*, p. 187–188, Fevereiro 1984.
- [9] TSIVIDIS, Y. Minimal transistor-only micropower integrated VHF active filter. *Electronics Letters*, p. 777–778, Julho 1987.
- [10] LINARES-BARRANCO, B.; SEABERG, E. C.; RAMIREZ-ANGULO, J. Distributed RC-filters with linearized MOS-transistors in CMOS technology. *IEEE International Symposium on Circuits and Systems*, p. 2385 – 2387, Julho 1990.
- [11] KIELBASINSKI, A.; GUZINSKI, A. Transistor-only notch and band-pass filters. Disponível em: <http://reference.kfupm.edu.sa/content/s%20-%20/p/_templates_for_94011-.pdf>. Acesso em: 21 de agosto de 2010.
- [12] TUMA, r. B. T. *Circuit Simulation with SPICE OPUS Theory and Praticce*. 1. ed. New York, USA: Birkhauser, 2009. 399 p.
- [13] VALDERRAMA, F. R. C. *Projeto de um Pré-Amplificador para Aparelho de Auxílio à Audição*. Dissertação (Mestrado) — UFSC, Julho de 2010.
- [14] GALUP-MONTORO, C.; SCHNEIDER, M. C. *MOSFET Modeling for Circuits Analysis and Design*. 1. ed. Hackensack, NJ: World Scientific, 2007. 418 p.
- [15] TSIVIDIS, Y. *The MOS Transistor*. 2. ed. New York, USA: Oxford, 1999. 620 p.

-
- [16] SCHNEIDER, M. C. Noise in analog circuits. UFSC, 2010. Slides da disciplina Circuitos Eletrônicos Analógicos/EEL7303. Disponível em: <<http://www.eel.ufsc.br/electronics/index7303.htm>>.
- [17] WAMBACQ, P.; SANSEN, W. *Distortion Analysis of Analog Integrated Circuits*. 1. ed. Dordrecht, The Netherlands: Kluwer Academic Publishers, 1998. 505 p.
- [18] CAMACHO-GALEANO, E. M.; GALUP-MONTORO, C.; SCHNEIDER, M. C. Design of an ultra-low-power current source. *ISCAS*, p. 333–336, 2004.

APÊNDICE A – DEDUÇÃO DA MATRIZ ADMITÂNCIA DO MOSFET

A partir da Figura 11 obtemos as equações 3.1 e 3.2, reescritas abaixo.

$$V(x + \Delta x) = V(x) - r\Delta x I(x + \Delta x) \quad (\text{A.1})$$

$$I(x + \Delta x) = I(x) - sc\Delta x V(x + \Delta x) \quad (\text{A.2})$$

Isolando $rI(x)$ em A.1, e $scV(x + \Delta x)$ em A.2, obtemos

$$rI(x) = -\frac{(V(x + \Delta x) - \Delta V(x))}{\Delta x} \quad (\text{A.3})$$

e

$$scV(x + \Delta x) = -\frac{(I(x + \Delta x) - I(x))}{\Delta x}. \quad (\text{A.4})$$

Fazendo $\Delta x \rightarrow 0$ as expressões A.3 e A.4 são escritas sob a forma de equações diferenciais, apresentadas por A.5 e A.6.

$$rI(x) = -\frac{dV(x)}{dx} \quad (\text{A.5})$$

$$scV(x) = -\frac{dI(x)}{dx} \quad (\text{A.6})$$

Substituindo a equação A.6 e A.5 temos

$$\frac{dI^2(x)}{dx^2} - srcI(x) = 0. \quad (\text{A.7})$$

Agora, supondo que a equação A.7 possui a seguinte solução $I(x) = Ae^{\gamma x}$, temos a equação característica

$$\gamma^2 - src = 0, \quad (\text{A.8})$$

que possui $\gamma = \sqrt{src}$ e $\gamma = -\sqrt{src}$ como soluções. Assim, a solução completa de A.7 é

$$I(x) = A_1 e^{\gamma x} + A_2 e^{-\gamma x}, \quad (\text{A.9})$$

e a partir de A.6 encontramos

$$V(x) = -\frac{1}{\sqrt{s}} \sqrt{\frac{r}{c}} (A_1 e^{\gamma x} - A_2 e^{-\gamma x}). \quad (\text{A.10})$$

Aplicando as condições $V(x=0) = V_s$ e $V(x=L) = V_d$ em A.10, podemos encontrar os coeficientes A_1 e A_2 , que são dados respectivamente por

$$A_1 = \frac{\sqrt{s}}{z_c} \left(\frac{e^{\gamma L}}{2 \sinh(\gamma L)} - 1 \right) V_s - \frac{\sqrt{s}}{2 z_c \sinh(\gamma L)} V_d \quad (\text{A.11})$$

e

$$A_2 = \frac{e^{\gamma L} \sqrt{s}}{2 z_c \sinh(\gamma L)} V_s - \frac{\sqrt{s}}{2 z_c \sinh(\gamma L)} V_d. \quad (\text{A.12})$$

Onde z_c é dado por

$$z_c = \sqrt{\frac{r}{c}} = \sqrt{\frac{R}{C}}. \quad (\text{A.13})$$

Substituindo as equações dos coeficientes A_1 e A_2 na equação A.9, e aplicando as condições de contorno $I(x=0) = I_s$ e $I(x=L) = I_d$, obtemos as equações A.14 e A.15 depois de algumas manipulações algébricas.

$$I_s = \frac{\sqrt{s}}{z_c} \cotgh(\gamma L) V_s - \frac{\sqrt{s}}{z_c} \operatorname{cosech}(\gamma L) V_d \quad (\text{A.14})$$

$$I_d = \frac{\sqrt{s}}{z_c} \operatorname{cosech}(\gamma L) V_s - \frac{\sqrt{s}}{z_c} \cotgh(\gamma L) V_d \quad (\text{A.15})$$

As equações A.14 e A.15 podem ser escritas em forma de matriz substituindo as equações de z_c e γ , assim temos

$$\begin{bmatrix} I_s \\ I_d \end{bmatrix} = \frac{\sqrt{sC}}{\sqrt{R}} \begin{bmatrix} \cotgh(\sqrt{sRC}) & -\operatorname{cosech}(\sqrt{sRC}) \\ \operatorname{cosech}(\sqrt{sRC}) & -\cotgh(\sqrt{sRC}) \end{bmatrix} \begin{bmatrix} V_s \\ V_d \end{bmatrix}. \quad (\text{A.16})$$

APÊNDICE B – EXTRAÇÃO DOS PARÂMETROS I_{SQ} E N

B.1 Extração de I_S

Para extração da corrente específica normalizada (I_{SQ}) e do fator de inclinação (n) foram utilizadas as metodologias propostas na referência [1]. A Figura 33 apresenta o esquema do circuito utilizado para extração da corrente específica e da tensão de limiar.

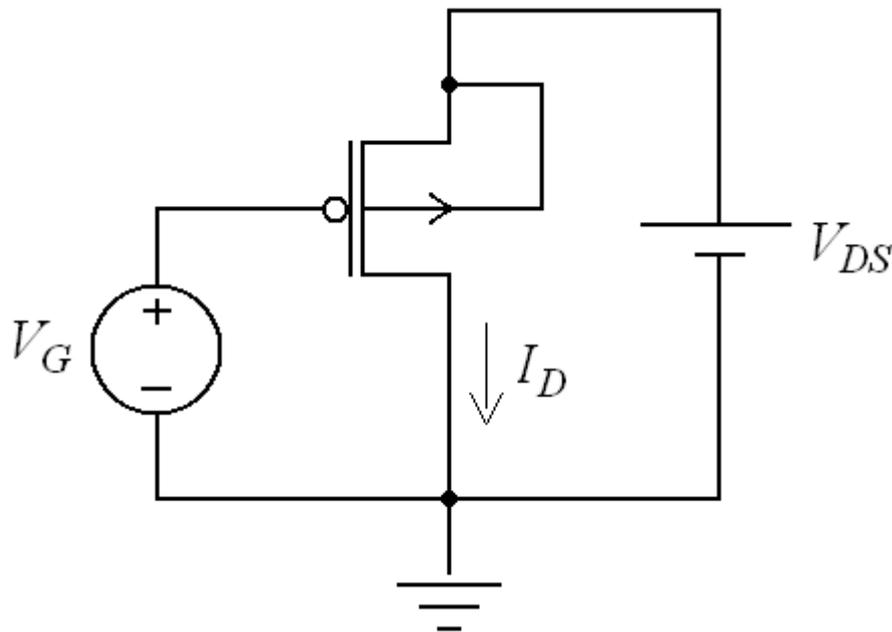


Figura 33: Circuito utilizado para extrair a corrente específica e a tensão de limiar do transistor de canal p .

Obtemos o valor de I_S através da relação entre a transcondutância da porta (g_m). O gráfico da Figura 34 mostra a variação da corrente de dreno em função da tensão aplicada na porta, mantendo o transistor na região de triodo ($V_{DS} = 13 \text{ mV}$). Dessa forma, podemos determinar o valor de g_m derivado a corrente com relação a tensão. Ao dividirmos este resultado pela própria corrente de dreno obtemos a segunda curva da Figura 34.

A tensão para a qual o valor de g_m/I_D é 0,53 do seu valor máximo, é a tensão de limiar do transistor. A corrente de saturação será o valor de I_D para $V_G = V_{TH0}$, mais especificamente

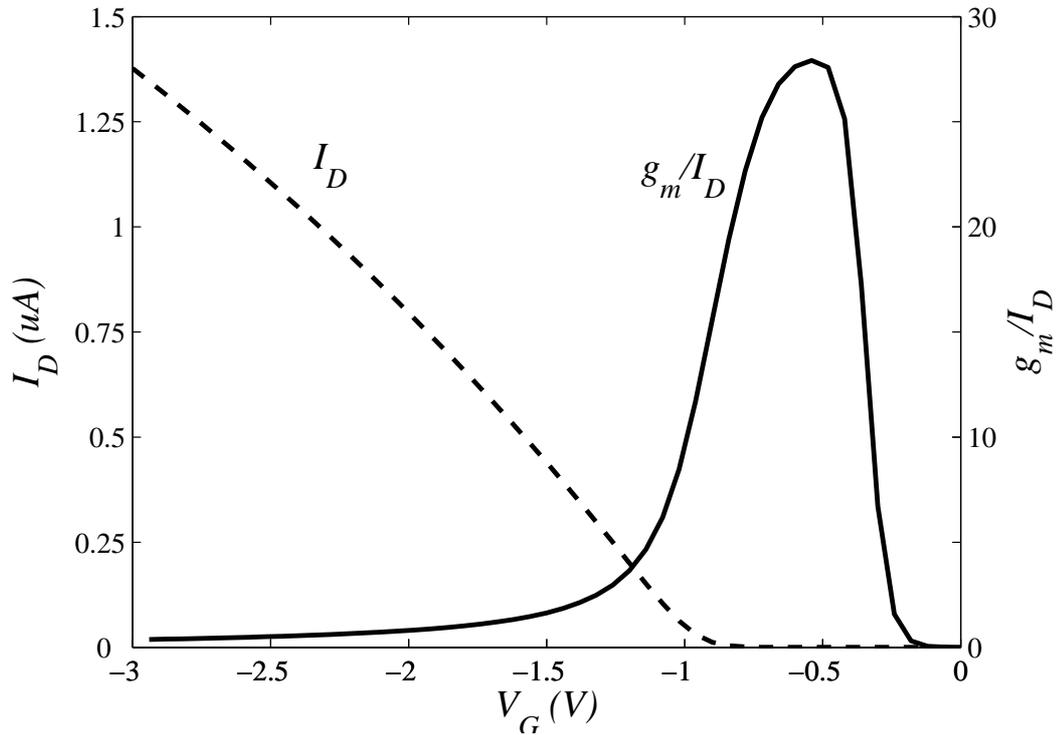


Figura 34: Curvas de I_D e g_m/I_D em função de V_G extraídas a partir do simulador.

1,13 vezes essa corrente. O valor obtido com esta metodologia foi de $I_S = 26 \text{ nA}$ ($I_{SQ} = 16 \text{ nA}$) para o transistor de canal p . A fim de comparação, calculou-se o valor de I_S através da equação 2.20, obtendo-se $I_S = 41,2 \text{ nA}$.

B.2 Extração de n

A extração do fator de inclinação é feita através da relação entre V_S e V_G , mantendo uma corrente I_D constante. Quando o transistor está operando com um nível de inversão igual a 3, a tensão do terminal de fonte é igual a tensão de pinch-off. Dessa forma, temos que n é dado por

$$n = \frac{1}{\frac{dV_P}{dV_G}}. \quad (\text{B.1})$$

As Figuras 35 e 36 apresentam, respectivamente, o circuito utilizado para extrair o fator de inclinação e a variação de n em função da tensão de porta. Devido ao nível de inversão ser alterado através da tensão na fonte, temos uma tensão V_{GS} constante. Dessa forma, adotou-se $n = 1,15$.

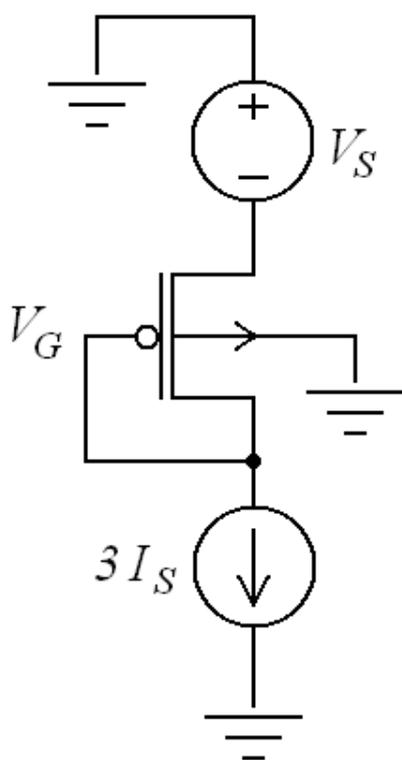


Figura 35: Circuito utilizado para extrair o fator de inclinação.

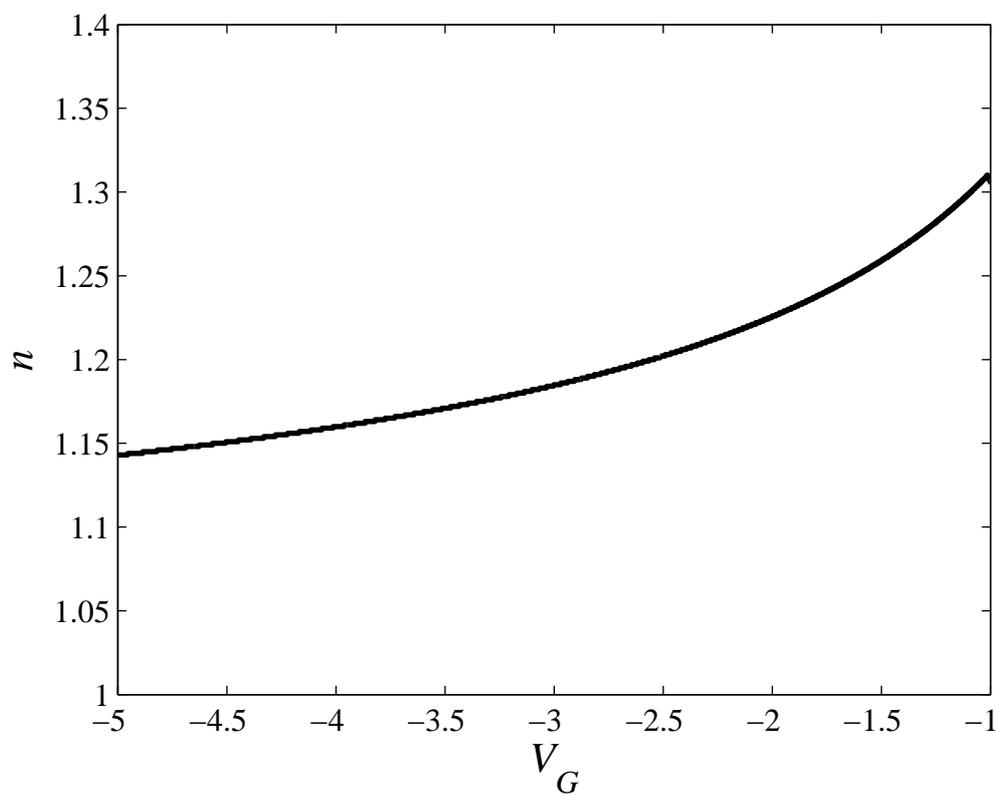


Figura 36: Variação de n em função de V_G .

APÊNDICE C – DETALHES DO LAYOUT

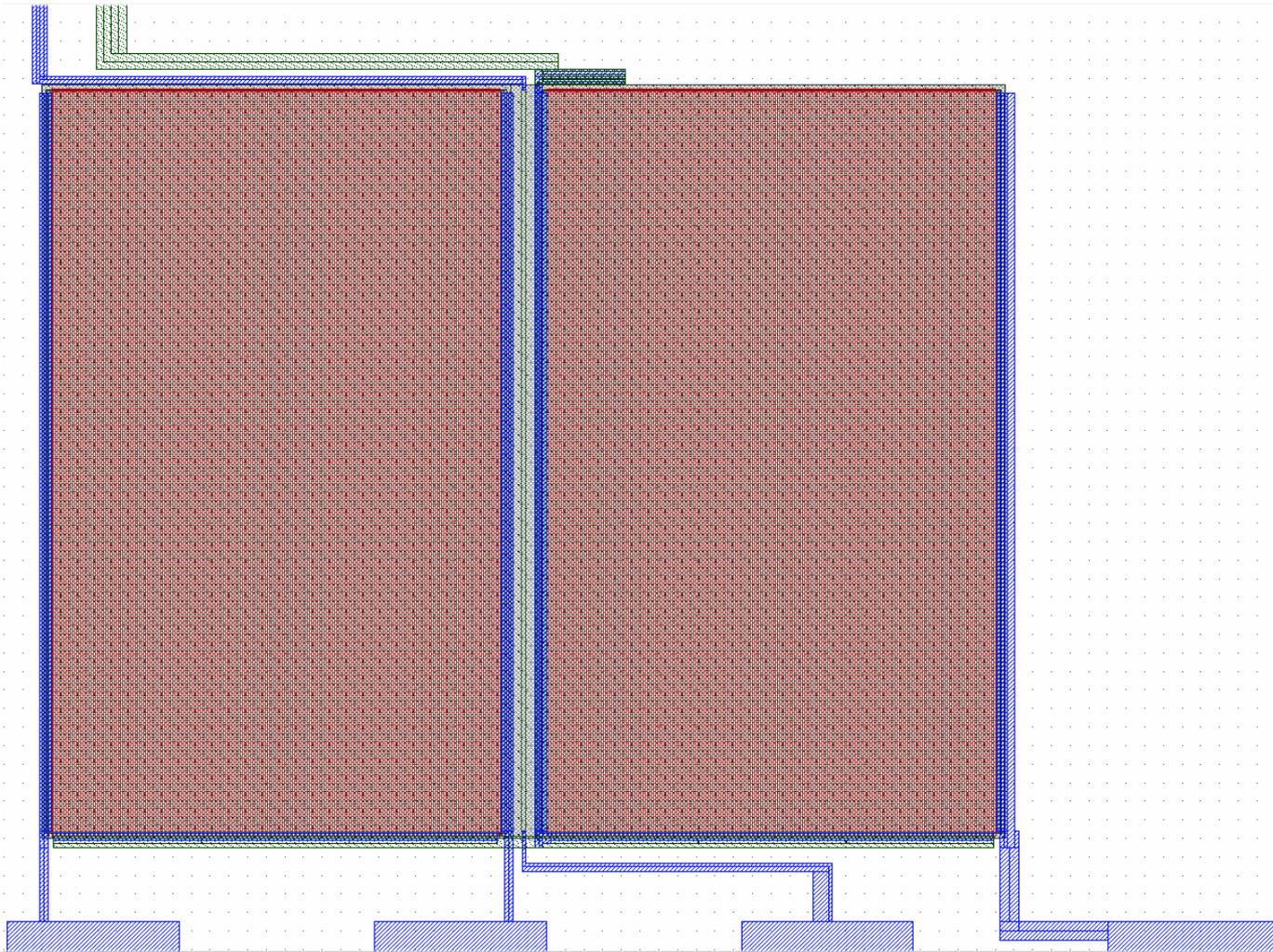


Figura 37: Detalhe do bloco composto pelos dois transistores sem particionamento.

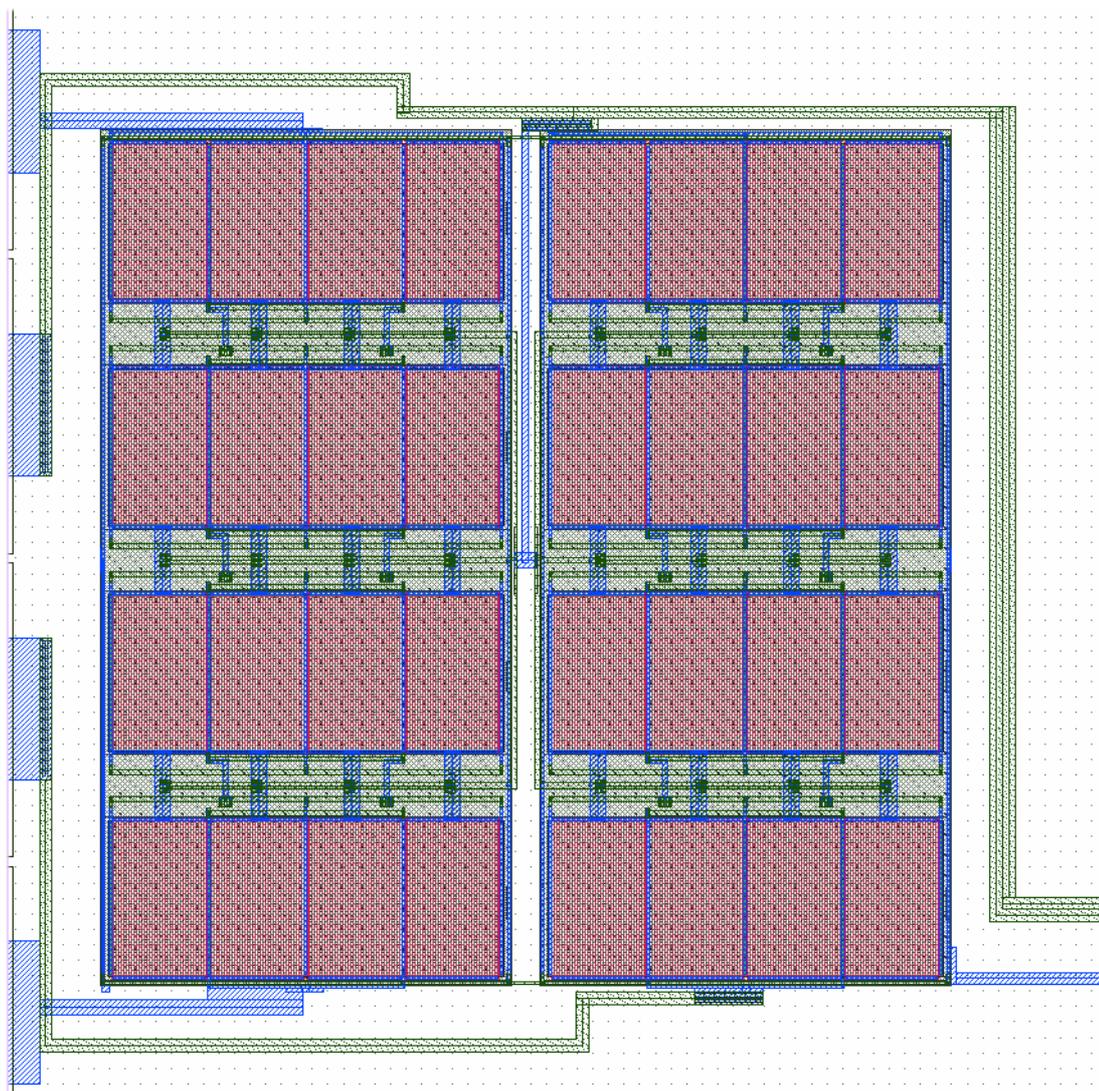
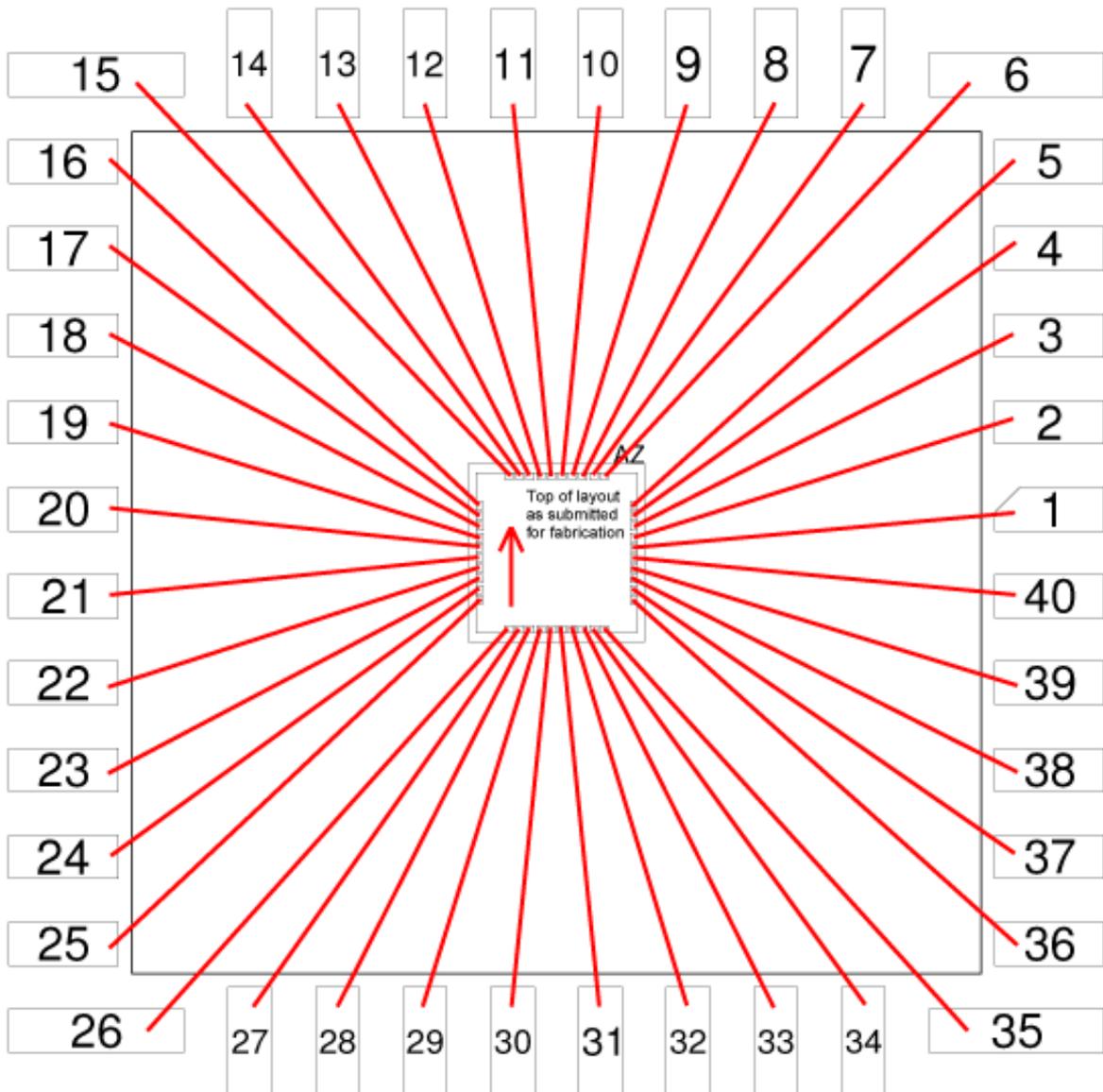


Figura 38: Detalhe do bloco composto pelos dois transistores com particionamento.



Qty: 5		V0BL-AZ	DIP40
		(84535)	
Customer Providing Diagram			
Minimum pad size: 74 x 64; minimum pad pitch: 98 um			
	Design_name: Fully Differential Folded Cascode Amplifier		
	Customer Account: 3419		
	Die Size: 1625 (+0 / -72) x 1671 (+0 / -72) um		
	Die Rotation in Cavity: None		
Cavity Size: 7874 um x 7874 um		05-JAN-2011 13:58:10	